

Verfahren zur Analog-Digital & Digital-Analog Wandlung

Wozu benötigt man AD/DA Wandler ?

In der elektrischen Meßtechnik werden sehr oft analoge Größen wie z.B. Spannung, Widerstand, Temperatur, Gewicht usw. gemessen.

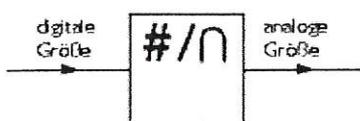
Die anfallenden Messdaten werden dann aber oft in digitaler Form zur Weiterverarbeitung benötigt. Dies ist z.B. dann der Fall, wenn Sie mit Computern veranschaulicht, gespeichert oder übertragen werden sollen. Um diese analogen Größen in einem Zahlenwert zu wandeln benötigt man Analog-Digital-Wandler.

Werden allerdings mit digitalen Steuerungen z.B. Computer, SPS usw. Maschinen gesteuert (Drehzahlregelung) so benötigt man Digital-Analog-Wandler, die die errechneten Zahlenwerte in eine analoge Spannung umsetzen.

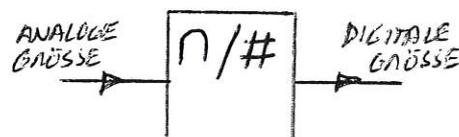
Digital-Analog Wandler

/ ANALOG-DIGITAL-WANDLER

Zum Steuern analoger Regelkreise mit digitalen Steuerungen, oder Meßsystemen müssen die digitalen Daten in analoge Größen, meist Spannung umgesetzt werden. Dies ist die Aufgabe der Digital-Analog-Wandler.



Schaltzeichen
DIN
40900



Eine wichtige Größe eines D/A-Wandlers ist die **Auflösung**. Sie gibt an wieviel Stufen die maximale Ausgangsspannung eingeteilt ist. Je größer die Auflösung, desto genauer kann der Eingangswert in die Ausgangsspannung gewandelt werden.

Beispiel:

Ein acht Bit D/A-Wandler kann am Ausgang maximal 5V liefern. Wie groß ist die Auflösung des Wandlers?

Lösung: acht Bit entspricht 256 Zahlenwerte von 0-255 Auflösung = $5V / 255 = 20mV$

Abtastung (Sampling) von Analogsignalen

Obwohl wir später bei der Temperatur-Regelung im Versuch eine Gleichspannung messen wollen, müssen wir ihre zeitliche Veränderung (Temperaturänderung!) berücksichtigen. Daher gehen wir ganz allgemein von einem zeitlich veränderlichen (aber nicht notwendig harmonischen bzw. periodischen) Signalverlauf aus.

Ein grundlegendes Prinzip digitaler Signalverarbeitung ist die sog. Abtastung (Sampling) von analogen Signalen. Zum Verständnis des Konzeptes der Abtastung betrachten wir die Abb. 1, die den

Sachverhalt illustrieren soll:

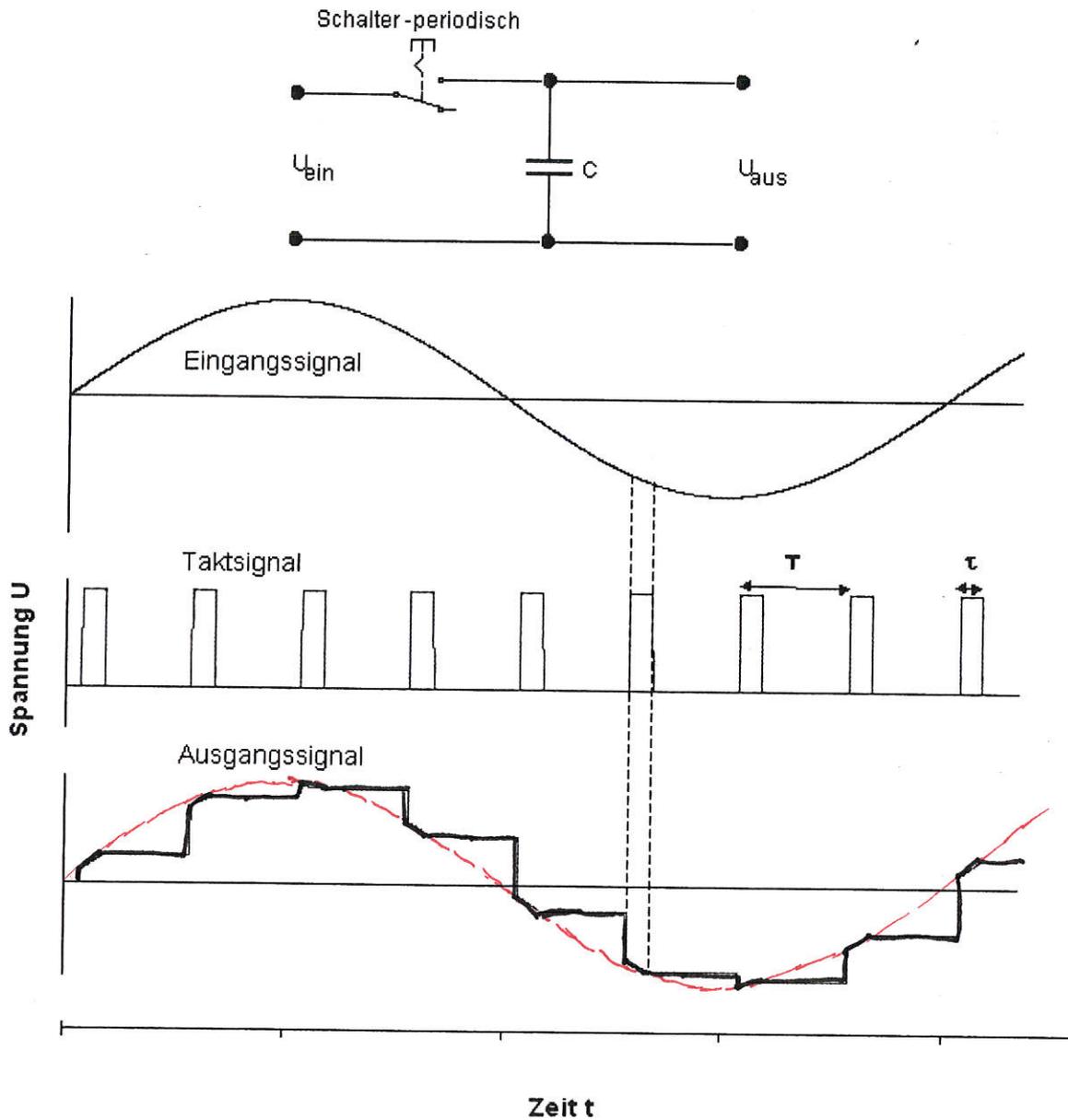


Abb.1 Periodische Abtastung eines Analogsignals (Prinzipschaltung und Signalverläufe)

RFH Rheinische Fachhochschule Köln	Elektrische Messtechnik / ING II	Fachbereich: Elektrotechnik Studiengang: Allgemeine E-Technik Dipl.-Ing. M. Trier
--	---	--

Der (symbolisch gezeichnete) Schalter in Abb.1(a) wird zeitlich periodisch (Abtastperiode T) entsprechend einem Taktsignal geschlossen. Die Zeit des "Schließens" (Abtastzeit τ) ist relativ kurz, die dabei "abgetastete" (*sample*) Spannung wird mit dem Kondensator C gespeichert bzw. "gehalten" (*hold*). Damit wird die übliche Bezeichnung "sample-and-hold- (Abtast- und Halte-) Schaltung" verständlich. Natürlich setzt man normalerweise einen entsprechenden Analogschalter ein (MOSFET-Schalter, Speicherkondensator, Pufferverstärker), für Details entsprechender Schaltungen muß auf die Literatur verwiesen werden.

In den Zwischenzeiten außerhalb der eigentlichen Abtastung, d.h. während der Haltezeit, entspricht die Spannung am Speicherkondensator nur zu Beginn dem vorher abgetasteten Wert. - es erfolgt immer eine Entladung (in Abb.1b nicht dargestellt). Während der Haltezeit wird die Spannung in den Eingang des eigentlichen ADC eingespeist, der eine N-Bit- Binärzahl proportional zum vorher abgetasteten Wert liefern soll. Die dafür erforderliche sog. Umsetzzeit ist eine kritische charakteristische Größe, sie sollte natürlich möglichst klein gegen die Entladungszeitkonstante (und die Haltezeit) sein.

Grundlagen der Wandlung

Signalquantisierung*

Jeder Digitalwert, der (mit einem DAC) in eine Spannung umgewandelt werden soll, kann als Summe der einzelnen Binärstellen ausgedrückt werden:

$$U = V_U \cdot \sum_{i=0}^{N-1} a_i \cdot 2^i \quad (1)$$

(Diese Beziehung gilt auch für den umgekehrten Fall einer AD-Wandlung, auf die wir weiter unten zurückkommen werden.) Die Summe beschreibt hier eine Binärzahl mit insgesamt N Bit, der Index i die binäre Stelle und a_i das i. Bit, wobei dann $a_i = 1$ ein gesetztes Bit und $a_i = 0$ ein nicht gesetztes Bit bedeutet. Das Bit a_{N-1} ist das höchstwertige (Most Significant Bit, MSB) und a_0 das niedrigstwertige (Least Significant Bit, LSB). Der konstante Faktor V_U ist der Verstärkungsfaktor der Wandlung.

Offensichtlich kann die Spannung nur endlich viele (N) und diskrete Werte annehmen, d.h. ein Kontinuum von Analog- Werten wird durch eine begrenzte Wertezahl approximiert. Die Güte dieser diskreten Approximation hängt von der Bitanzahl N des Binärwortes (der Auflösung des Wandlers) ab. Nehmen wir als einfaches Rechenbeispiel einen DAC mit 4 Bit Auflösung an, der in unipolarer Betriebsart Ausgangs- Spannungen von 0 bis 10 V liefern soll:

Er kann insgesamt $2^4 = 16$ Spannungswerte zwischen 0 V (für binär 0000 bzw. dezimal 0) und 10 V (für binär 1111 bzw. dezimal 15) ausgeben - mit einer diskreten Schrittweite von $2/3$ V (10 V/15).

*Anmerkung: Die Begriffe "Quantisierung" bzw. "Diskretisierung" sind synonym in Gebrauch.

V_U = VERSTÄRKUNGSFAKTOR DER WANDLUNG

\sum = BESCHREIBT EINE BINÄRZAHL MIT N-BIT

i = BINÄRE STELLE

a_i = i BIT

a_{N-1} = MSB (MOST SIGNIFICANT BIT)

Seite von Seiten

a_0 = LSB (LEAST SIGNIFICANT BIT)

Quantisierungsfehler

Betrachten wir nun eine AD- Wandlung. Nehmen wir als praktisches Beispiel an, das Analogsignal sei wieder unipolar mit einem Wertebereich zwischen 0 und 5 V. Dieses Signal soll so digitalisiert werden, daß eine 8-Bit- Binärzahl entsteht: der ADC hat 8 Bit Auflösung.

Diese Binärzahl kann insgesamt $2^8 = 256$ Werte zwischen 00000000 (dezimal 0) und 11111111 (dezimal 255) annehmen. Daraus folgt, daß die Umwandlung mit einer Auflösung für die Spannung (nicht zu verwechseln mit der Auflösung des Wandlers!) von $5\text{ V}/255 \approx 19.6\text{ mV}$ erfolgt. Ein Analogsignal mit 0 V liefert binär 00000000, bei 2 V folgt binär 01100110 und bei 5 V binär 11111111. Die eben genannten Beispielwerte sind sämtlich Vielfache des sog. Basisinkrementes, das genau denselben Wert wie die Auflösung für die Eingangsspannung hat. Was geschieht nun bei Zwischenwerten, d.h. wenn die Spannung kein ganzzahliges Vielfaches des Basisinkrementes ist? Dazu wieder ein Beispiel: Die Spannung betrage 2.731 V, d.h. $5\text{ V}/255 \cdot 139.281$. Dieser Wert liegt zwischen $5 \cdot 139/255\text{ V}$ und $5 \cdot 140/255\text{ V}$, liegt aber *näher* an Ersterem. Daher wird diese Spannung mit 139 (dezimal) bzw. 10001011 (binär) kodiert.

Den Sachverhalt bezeichnet man als Signalquantisierung. Durch die Diskretisierung entsteht der sog. Quantisierungsfehler von $\pm 1/2\text{ LSB}$ (Least Significant Bit). Der resultierende Spannungsfehler entspricht der Hälfte der Spannungsänderung, die erforderlich ist, um das LSB zu ändern.

Dieser unvermeidliche Fehler für die Eingangsspannung ist von der Auflösung des Wandlers abhängig, er nimmt mit wachsender Auflösung ab. Einen kleineren Fehler erkaufte man sich aber durch einen wachsenden Schaltungsaufwand (und damit höheren Preis!) sowie zunehmende Umsetzzeit, wie wir noch sehen werden. In Abhängigkeit von Einsatzzweck und Kostengrenze wird man daher immer einen Kompromiß zwischen Schnelligkeit und Genauigkeit der Wandlung finden müssen.

Oversampling

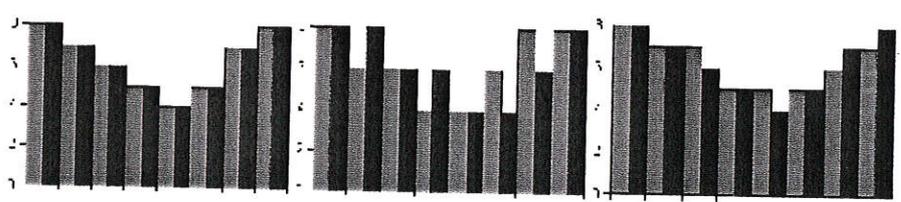


Abbildung 4.76: Oversampling. Links ist der Output, wie ihn ein 3 Bit- Wandler erzeugen würde. In der Mitte ist das Ausgangssignal eines 2-Bit-Wandlers. Dabei schwankt das letztwertige Bit, wenn links eine ungerade Zahl herausgegeben wurde. Rechts ist der gemittelte (Tiefpass-gefilterte) Ausgang. Die weinroten Balken haben den gleichen Wert links und rechts.

Die Funktionsweise des Oversampling wird in Abb. 4.76 gezeigt. Links wird das Ausgangssignal, wie es ein 3-Bit-Wandler erzeugen würde, gezeigt. Das mittlere Bild stellt den Ausgang eines 2-Bit-Wandlers dar. Wenn dabei das ursprüngliche **Signal** zwischen zwei möglichen Ausgangswerten liegt, wird das Ausgangssignal zwischen den beiden, dem ursprünglichen **Signal** benachbarten werten, hin-und hergeschaltet. Der mittlere Teil von Abb. 4.76 zeigt das entsprechende **Signal**. Der rechte Teil von Abb. 4.76 zeigt das mit einem gleitenden Mittelwert gefilterte Ausgangssignal. Betrachtet man nur die weinroten Balken im linken und im rechten Diagramm, stellt man fest, dass sie identisch sind.

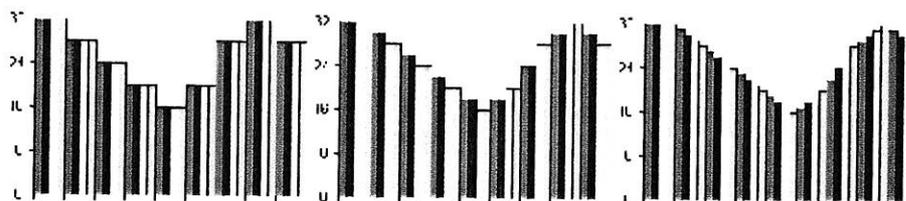


Abbildung 4.77: 4-fach Oversampling. Links ist der Output, wie ihn ein 4 Bit- Wandler erzeugen würde. In der Mitte ist in einer ersten Stufe die Ausgangsfrequenz verdoppelt und die Werte gemittelt. Rechts ist der doppelt gemittelte (Tiefpass-gefilterte) Ausgang.

Abb. 4.77 zeigt ein vierfach-Oversampling. Links ist das ursprüngliche **Signal** mit 4-Bit **Auflösung**. Das mittlere Bild zeigt das Interpolationsresultat wenn jeweils über 2 und 2 Ausgangsbalken gemittelt wird. Rechts ist das voll interpolierte 4-fach Oversampled- **Signal**. bei CD-Plattenspielern wird bei 16-Bit Digital-Analogwandlern maximal 16-fach überabgetastet. mehr macht nicht Sinn, da 16-Bit Wandler damit an ihre Geschwindigkeitsgrenze kommen[4]. Das verfahren ist bekannt unter dem Namen High-Bit-Verfahren.

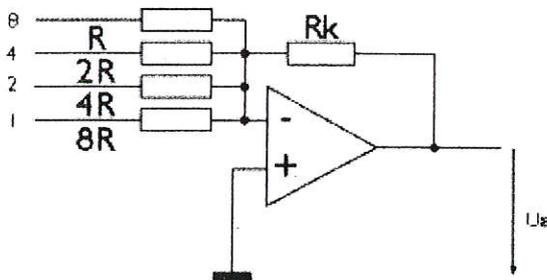
Wie das Beispiel mit der Pulsweiten-Modulation gezeigt hat, kann es sinnvoll sein, die taktfrequenz sehr hoch zu setzen und die **Auflösung** durch Filteroperationen im digitalen Bereich zu erhalten. Werden weniger Bits und preiswerte analoge Filter verwendet, nennt man das Verfahren Bitstream-Verfahren.

DIGITAL-ANALOG-WANDLUNG

Wandlungsverfahren

Um die digitalen Eingangssignale in eine Spannung umzusetzen gibt es verschiedene Möglichkeiten. Das Prinzip der Wandlungsverfahren bei D/A-Wandlern bleibt erhalten.

D/A-Wandlung durch Addition von Teilströmen



Schaltungserklärung

Diese Schaltung besteht aus einem OP, der als Summierverstärker geschaltet ist. Er besitzt vier Eingänge (4 Bit DAC) an denen je ein Digitalsignal ansteht. Da die Eingänge verschiedene Wertigkeiten haben, müssen die Eingangswiderstände in bestimmten Verhältnissen zueinander stehen. Um den Eingang 8, also der Eingang mit der Wertigkeit, als höchstwertigsten zu beschalten, muß sein Widerstand am kleinsten sein (R), da die gleiche Spannung am Eingang 8 (2^3) einen doppelt so großen Stromfluß zur Folge haben muß als am Eingang 4.

Somit müssen die Widerstände umgekehrt verhältnismäßig der Wertigkeit der Eingänge groß sein. Durch den OP wird die Summe der Ströme gebildet ($\max. 2^4 - 1$), verstärkt und am Ausgang steht die analoge Spannung an.

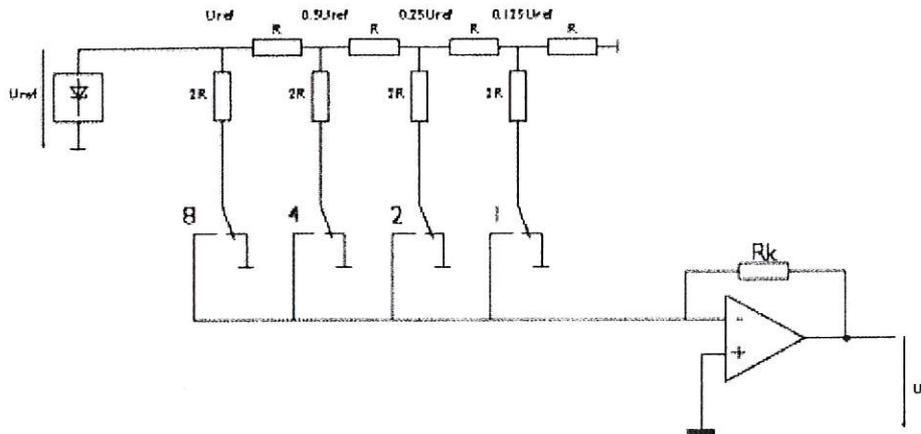
Vorteil:

- einfacher Aufbau

Nachteil:

- die Widerstände müssen sehr genau sein keine optimale Linearität, da die Last gegenüber dem Eingangssignal nicht konstant ist

Benutzung eines R-2R Netzwerkes



Schaltungserklärung

Bei dieser Schaltung handelt es sich auch um einen OP, der als Addierer geschaltet ist. Der Unterschied zu dieser Schaltung besteht darin, dass über ein R-2R Netzwerk eine Referenzspannungsquelle in mehrere Spannungen geteilt wird und zwar immer jeweils um die Hälfte. Durch die Gleichheit der $2R$ Widerstände fließt somit ein Strom, der auch jeweils nach jeder R-2R Stufe auf die Hälfte sinkt.

Vorteil:

- Die Referenzspannungsquelle wird immer gleich belastet.
- für diese Schaltung sind immer nur zwei Sorten Widerstände, die das R-2R Netzwerk darstellen, notwendig. Dieses Netzwerk gibt es auch als kompaktes Bauelement

Analog-Digital Wandler

Überall dort wo analoge Größen mit digitalen Geräten zu verarbeiten sind, kommt der D/A Wandler zum Einsatz.

Dabei unterscheidet man zwei Gruppen:

- Momentanwert Umsetzer
- Integrierende Umsetzer

Bei den Momentanwert-Umsetzern wird während eines bestimmten Zeitpunktes der Spannungswert am Eingang in einen digitalen Wert umgewandelt, während bei den Integrierenden Umsetzern der mittlere Wert einer analogen Spannung in einem bestimmten Zeitabschnitt gebildet wird, und dieser Wert in eine digitale Form gebracht wird.

Weiterer Unterschied der beiden Gruppen besteht in der Wandlungszeit. Die Momentanwert-Umsetzer sind schneller, da sie nicht einen Zeitabschnitt warten müssen um dann den Mittelwert digital umzuformen. Allerdings haben die integrierenden Wandler den Vorteil, daß sie nicht so empfindlich gegen Spannungsspitzen am Eingang sind. So kann eine ungewollte Spannungsspitze gerade auftreten, wenn eine Messung abläuft und das Meßergebnis ist um ein vielfaches verfälscht.

6.11 Analog-Digital-Umsetzer (ADU)

Der Wunsch, analog erzeugte Daten digital weiter zu verarbeiten, zu speichern oder zu übertragen, hat zur Entwicklung vieler verschiedener Verfahren zur Analog-Digital-Wandlung geführt.

Drei davon haben sich durchgesetzt und wurden zu hoher Reife entwickelt. Das vierte Verfahren, der *Delta-Sigma-Wandler*, befindet sich noch in der Weiterentwicklung, da dieser neue Eigenschaften hat und sich mit moderner Halbleitertechnologie gut verwirklichen läßt. Die Tabelle 9-1 zeigt eine Übersicht über die vier wichtigsten AD-Wandlertypen. Alle AD-Wandler können nur Gleichspannungen oder Spannungen umsetzen, die sich während der Messung nicht verändern.

Tabelle 9-1. Verfahren zur Analog-Digital-Wandlung.

Arbeitsprinzip	Genauigkeit, Schnelligkeit	Preis, Stromverbrauch	Ausgang	Anwendungsbeispiel
1 integrierender AD-Wandler, Zweirampenverfahren	dezimal: 3½ bis 5½ Stellen binär: 12 bis 20 Bit, 10 ms bis 1 s, langsam	sehr preisgünstig, 1 mW bis 100 mW	BCD mit Ziffernanzeige, binär, parallel, µP-kompatible Busschnittstelle	Digitalmultimeter, langsame Spannungsmesser, für manuelle und automatische Messungen; unempfindlich gegen überlagerte Störungen
2 AD-Wandler nach dem Prinzip der sukzessiven Approximation	binär, 8 bis 18 Bit, 0,5 µs bis 100 µs, schnell	preisgünstig bis mittlere Preisklasse, 0,1 W bis 1 W	binär, zunehmend µP-kompatible Busschnittstelle parallel und seriell	schneller Datenwandler in der industriellen Steuer- und Regeltechnik, zur Kommuni- kation und zur Überwachung schneller Vorgänge; störemmpfindlich
3 AD-Parallelwandler, ein- und zweistufig	binär, 6 bis 12 Bit, 2 ns bis 200 ns, sehr schnell	mittlere bis hohe Preisklasse, 1 W bis 4 W	binär, parallel	Datenwandler für Oszillo- skope, Transientenrecorder, zur Digitalisierung von Videosignalen, Kommunika- tionstechnik, Überwachungs- technik (Radar)
Delta-Sigma-AD-Wandler	8 bis 16 Bit, 2 µs bis 1 s	günstig bei großen Stückzahlen, Verbrauch gering	binär, seriell und parallel	Datenwandler in der Kom- munikationstechnik mit digi- talem Filter für besondere Anwendungsfälle

Tabelle 9-1. Verfahren zur Analog-Digital-Wandlung.

Arbeitsprinzip	Genauigkeit, Schnelligkeit	Preis, Stromverbrauch	Ausgang	Anwendungsbeispiel
integrierender AD-Wandler, Zweirampenverfahren	dezimal: 3 ½ bis 5 ½ Stellen binär: 12 bis 20 Bit, 10 ms bis 1 s, langsam	sehr preisgünstig, 1 mW bis 100 mW	BCD mit Ziffernanzeige, binär, parallel, µP-kompatible Busschnittstelle	Digitalmultimeter, langsame Spannungsmesser, für manuelle und automatische Messungen; unempfindlich gegen überlagerte Störungen
AD-Wandler nach dem Prinzip der sukzessiven Approximation	binär, 8 bis 18 Bit, 0,5 µs bis 100 µs, schnell	preisgünstig bis mittlere Preisklasse, 0,1 W bis 1 W	binär, zunehmend µP-kompatible Busschnittstelle parallel und seriell	schneller Datenwandler in der industriellen Steuer- und Regeltechnik, zur Kommuni- kation und zur Überwachung schneller Vorgänge; störepfindlich
AD-Parallelwandler, ein- und zweistufig	binär, 6 bis 12 Bit, 2 ns bis 200 ns, sehr schnell	mittlere bis hohe Preisklasse, 1 W bis 4 W	binär, parallel	Datenwandler für Oszillo- skope, Transientenrecorder, zur Digitalisierung von Videosignalen, Kommunika- tionstechnik, Überwachungs- technik (Radar)
Delta-Sigma-AD-Wandler	8 bis 16 Bit, 2 µs bis 1 s	günstig bei großen Stückzahlen, Verbrauch gering	binär, seriell und parallel	Datenwandler in der Kom- munikationstechnik mit digi- talem Filter für besondere Anwendungsfälle

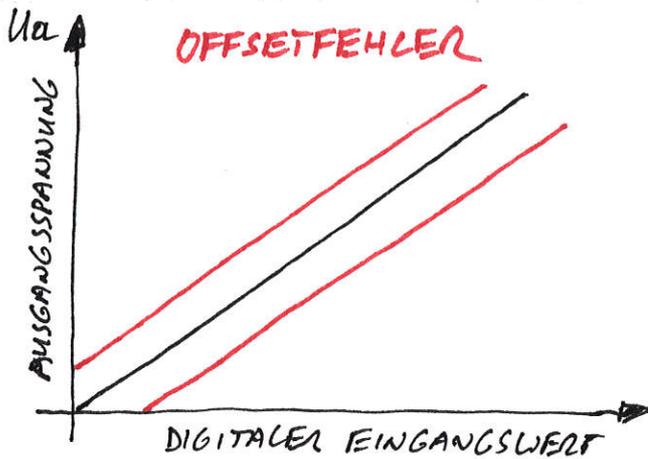
① ZÄHLVERFAHREN (LEVEL AT TIME)
INTEGRIERENDE UMSETZER

② WÄGEVERFAHREN (DIGIT AT TIME)

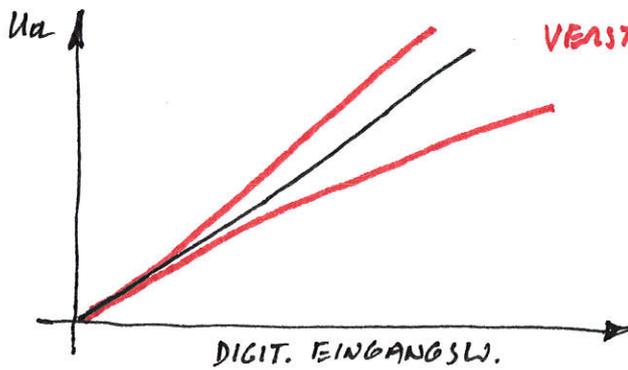
③ PARALLELVERFAHREN (WORD AT TIME)
MOMENTANWERTUMSETZER

-ANALOG

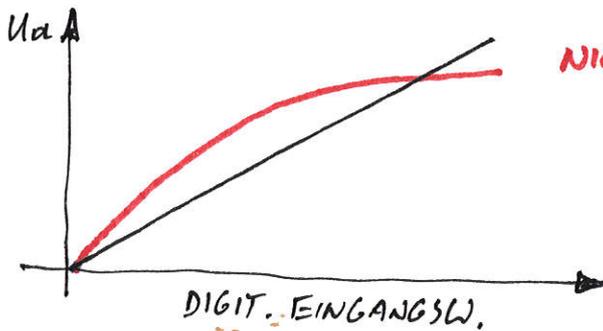
FEHLER BEI DER ~~ANALOG~~-DIGITAL-WANDLUNG
FEHLER BEI DER DATENUMSETZUNG



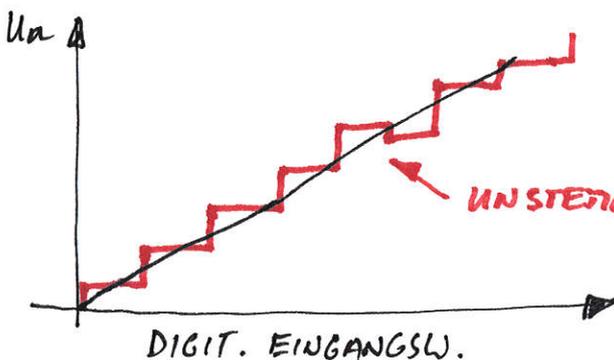
VIELE AD-WANDLER HABEN
EINE EINSTELTMÖGLICHKEIT
(OFFSET-ADJUST), POTENTIOMETER,
MIT DER DIESE FÄHIGKEIT
FEHLER BEHOBEN WERDEN
KANN.



VERSTÄRKUNGSFEHLER



NICHTLINEARITÄT



NICHT MONOTON

UNSTETIGKEITSSTELE

ÜBERTRAGUNG
NICHT MONOTON
ZWEI UNTERSCHIEDLICHEN
ANALOGWERTEN, WIRD
EIN DIGITALWERT ZU-
GEORDNET!

Häufig tritt in der Elektrotechnik das Problem auf, eine Spannung digital zu verarbeiten. Dazu wandelt man eine Spannung mit einem Analog-Digitalwandler in eine proportionale Zahl um. Diese Zahl kann man nun mit Digitalrechnern weiterverarbeiten oder auch nur anzeigen, wie es in Digitalvoltmetern geschieht. Die Technik der Analog-Digital-Wandler ist wesentlich komplizierter als die der Digital-Analogwandler.

Man unterscheidet drei prinzipiell verschiedene Verfahren,

1. das Parallelverfahren (word at time)
2. das Wägeverfahren (digit at time)
3. das Zählverfahren (level at time)

Beim **Parallelverfahren** vergleicht man die Eingangsspannung gleichzeitig mit n Referenzspannungen und stellt fest, zwischen welchen beiden sie liegt. Auf diese Weise erhält man die vollständige Zahl in einem Schritt. Allerdings ist der Aufwand sehr hoch, da man für jede mögliche Zahl einen Komparator benötigt. Für einen Meßbereich von 0 bis 100 in Schritten von Eins benötigt man also n=100 Komparatoren.

Die Funktionsweise wird im Applet Parallelverfahren demonstriert. Die Komparatorzustände werden zunächst in den Gray-Code, dann in den Dual-Code übertragen. Beim Gray-Code handelt es sich um einen Zahlencode, der so beschaffen ist, daß sich beim Übergang von einer Zahl zur nächsten immer nur ein einziges Bit ändert. Beim Übergang zur nächsthöheren Stellenzahl werden alle niedrigeren Zahlen gespiegelt und eine Eins davorgesetzt. Dabei müssen nicht notierte Nullen sinngemäß ergänzt werden.

Dezimalcode	Dualcode	Graycode
0	000	000
1	100	100
2	100	110
3	110	100
4	100	110
5	101	111
6	110	101
7	111	100

Beim **Wägeverfahren** wird nicht das ganze Ergebnis mit einem Schritt gebildet, sondern jeweils nur eine Stelle der zugehörigen Dualzahl ermittelt. Dabei beginnt man an der höchsten Stelle und stellt fest, ob die Eingangsspannung größer oder kleiner ist als die Referenzspannung für die höchste Stelle. Ist sie größer, setzt man die höchste Stelle auf Eins und subtrahiert die Referenzspannung. Den Rest vergleicht man mit der nächstniedrigeren Stelle usw. Man benötigt also so viele Vergleichsschritte, wie die Zahl Stellen besitzt und ebenso viele Referenzspannungen.

Das einfachste Verfahren ist das **Zählverfahren**. Dabei wird abgezählt, wie oft man die Referenzspannung der niedrigsten Stelle addieren muß, um die Eingangsspannung zu erhalten. Die Zahl der Schritte ist gleich dem Ergebnis. Beträgt die größte darstellbare Zahl n , benötigt man also maximal n Schritte, um das Ergebnis zu erhalten. Bei den Zählverfahren unterscheidet man zwischen **Sägezahnverfahren**, **Kompensationsverfahren** und **Doppelintegrationsverfahren**.

Das Kompensationsverfahren besitzt viel Ähnlichkeit mit dem AD-Wandler nach dem Wägeverfahren. Hier ersetzt man lediglich den Speicher durch einen Zähler, (siehe auch Wägeverfahren). Ein Komparator vergleicht die Meßspannung U_x mit der Kompensationsspannung U_k . Er liefert eine positive Ausgangsspannung, wenn $U_x > U_k$ ist, und eine negative, wenn $U_x < U_k$.

Einfacher als das Kompensationsverfahren ist das **Sägezahnverfahren**, da es keinen DA-Wandler benötigt. Seine Funktionsweise wird anhand des Simulationsbeispiels Zählverfahren verdeutlicht. Ein weiteres Meßverfahren ist das Doppelintegrationsverfahren, das ebenfalls auf einer Integrationsmethode beruht. Im Ruhezustand ist $Q=0$ und damit der Schalter S in Stellung 1. Dadurch läuft der Integrator soweit nach Plus, bis die Diode D leitend wird. Seine Ausgangsspannung bleibt bei ca. 0.6 V stehen.

Gibt man einen positiven Impuls auf den Starteingang, wird der Zähler auf Null gesetzt und der Q-Ausgang des Flip-Flops auf Eins. Dadurch wird der Schalter S in Stellung 2 umgeschaltet und der Integrator integriert die Eingangsspannung U_x . Dann läuft die Ausgangsspannung des Integrators nach Minus. Beim Nulldurchgang beginnt der Zähler zu zählen. Hat er einen vollen Zählzyklus N durchlaufen, wird der Zählerstand $z=0$, und er gibt einen Übertragungsimpuls ab, der das Flip-Flop wieder auf Null setzt. Dadurch wird der Eingang des Integrators wieder an die Referenzspannung angeschlossen.

Integrierende Verfahren

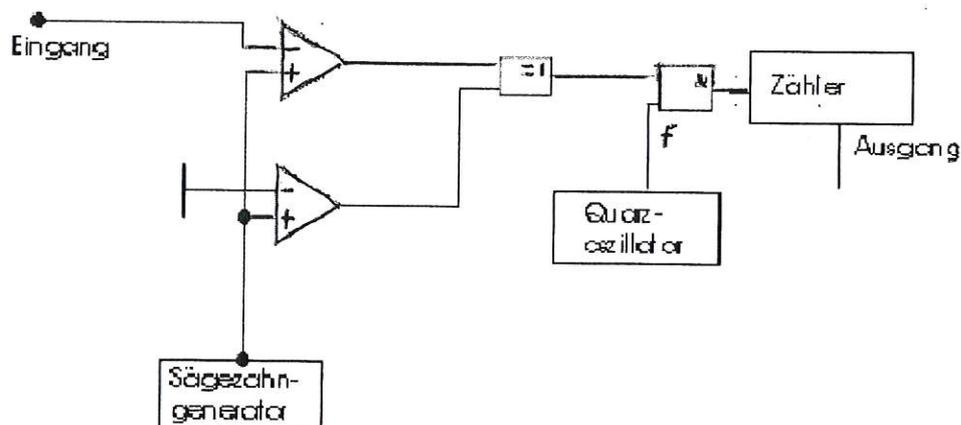


Abbildung 4.82: Analog-Digital-Wandler nach dem Sägezahnverfahren

Integrierende Analog-Digital-Wandler können sehr einfach aufgebaut werden. Abbildung 4.82 zeigt einen Wandler nach dem Sägezahnverfahren. Zwei Komparatoren vergleichen die Sägezahnspannung mit Null und mit der Eingangsspannung. Während die Sägezahnspannung zwischen Null und der Eingangsspannung ist, wird der Quarzoszillator auf den Zähler geschaltet. Die Sägezahnspannung hat den folgenden Funktionsverlauf:

Das Sägezahnverfahren funktioniert theoretisch hervorragend. In der Praxis gibt es damit aber fast unüberwindliche Probleme.

- Die Frequenzunsicherheit (Jitter) des Sägezahnoszillators begrenzt die Genauigkeit.
- Drift und der Einfluss der Temperatur verändern die Schaltschwellen und beeinflussen damit die Genauigkeit.
- Kondensatoren sind schwer mit genügender Genauigkeit zu bekommen.
- Durch den Quarzoszillator und die weiteren Komponenten ist die Schaltung relativ teuer.

Die Eigenschaften des Dual-Slope-Verfahrens sind:

- Das Ergebnis hängt nicht von der Taktfrequenz ab, da alle Zeiten von ihr abgeleitet werden.
- Der Absolutwert des R-C-Gliedes beeinflusst das Ergebnis nicht. Durch die zweimalige Integration sind die Integrationszeiten und U_{ref} wichtig.
- Das Verfahren ist wenig Anfällig gegen Störspannungen. Alle Frequenzen, die ein Vielfaches von $1/t_1$ sind werden unterdrückt.
- Die Referenzspannungsquelle muss die geforderte Präzision haben.
- Der Integrationskondensator sollte eine möglichst geringe Spannungshysterese haben, also zum Beispiel Polystyrol als Dielektrikum haben.
- Dieser Wandler ist sehr billig herzustellen.

Zum Vergleich der einzelnen Verfahren seien diese mit ihren wichtigsten Eigenschaften in folgender Tabelle zusammengestellt. Häufig werden auch die verschiedenen Verfahren miteinander kombiniert.

Technik	Zahl d. Schritte	Zahl d. Referenzspannungen	besondere Merkmale
Parallelverfahren	1	$n=2^N$	aufwendig, schnell
Wägeverfahren	$N=ld n$	$N=ld n$	
Zählverfahren	$n=2^N$	1	einfach, langsam

Prinzip (Schaltungstyp)	typ. Abtastfrequenz	typ. Wortlänge (Bit)	typ. Anwendungsbereiche
Parallelverfahren (Parallel- oder Flash-Wandler)	1-300 MHz	6-9	Video
Wägeverfahren (Successive Approximation- Wandler)	1 kHz - 1 MHz	8-12	Audio
Zähl- oder Kompensationsverfahren, Dual-Slope- Verfahren	< 1 kHz	10-20	Präzisionsmeßtechnik

6.11.1 Integrierende Analog-Digital-Wandler

Beim integrierenden AD-Wandler erzeugt die unbekannte Spannung U_x innerhalb einer genau festgelegten Zeit an einem Integrator einen Spannungsanstieg, der zu einer bestimmten Hilfsspannung U_i führt, die dem Mittelwert der unbekanntes Eingangsspannung proportional ist. Anschließend legt man eine genau bekannte Referenzspannung mit entgegengesetzter Polarität an und mißt die Zeit, in der der Integrator wieder auf null läuft. Diese Zeit ist der unbekanntes Spannung U_x proportional. Bild 9-10a zeigt das Blockschaltbild eines integrierenden AD-Wandlers.

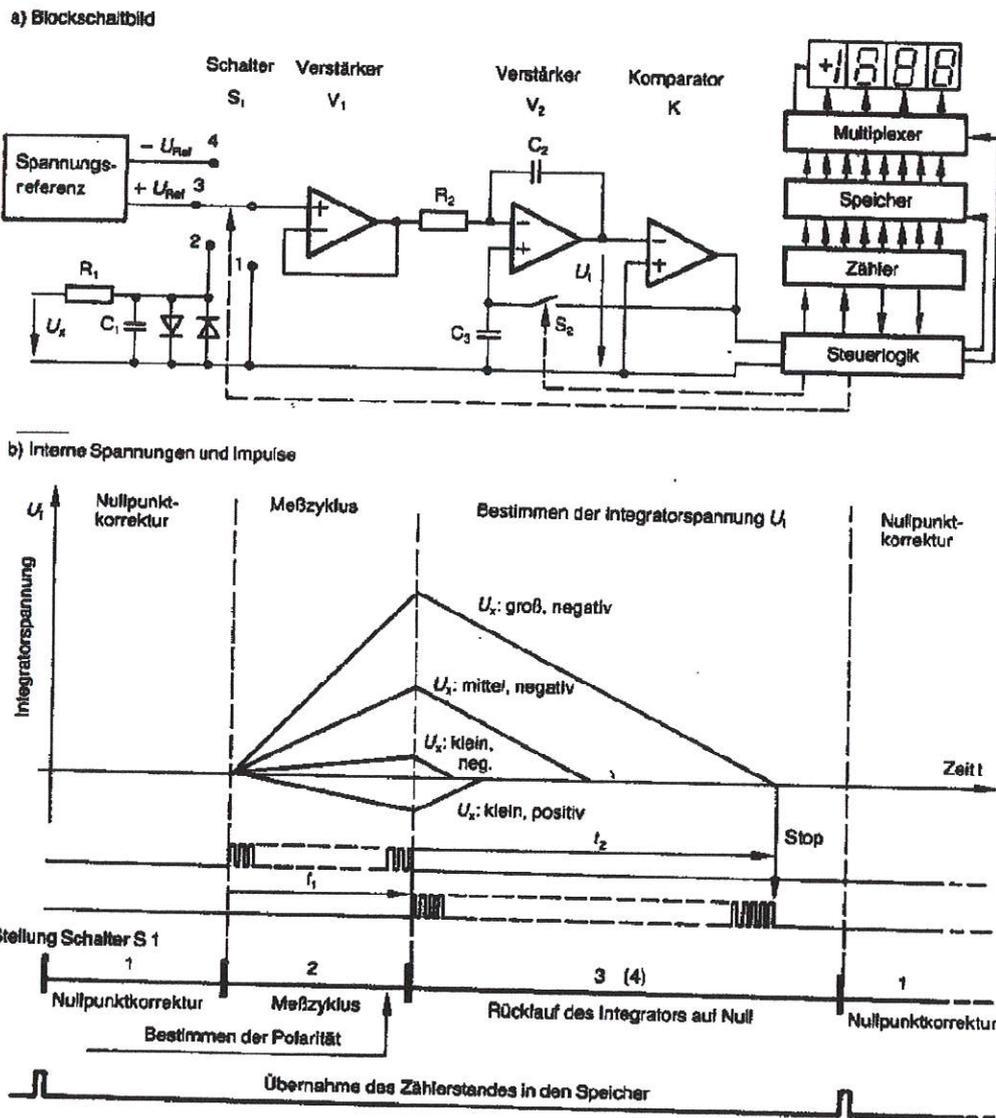


Bild 9-10. : Integrierender Analog-Digital-Wandler.

Die unbekannte Eingangsspannung U_X kommt über den Schutzwiderstand R_1 zum Schalter S_1 . Der Kondensator C_1 unterdrückt höherfrequente Störungen, und die antiparallel geschalteten Dioden schützen den Eingang vor Überspannung.

Zu Beginn der Messung stellt die Steuerlogik den MOSFET-Schalter S_1 in die Stellung 2, und die Eingangsspannung gelangt über den sehr hochohmigen Elektrometerverstärker V_1 auf den Integrator V_2 .

Während des Meßzyklus t_1 , der immer eine konstante -Anzahl *Perioden* (2000 bis 10000) des internen Systemtaktes (meist 100kHz) dauert, wird die unbekannte *Eingangsspannung über der Zeit integriert*.

Eine kleine Meßspannung veranlaßt einen langsamen Spannungsanstieg, eine große einen schnellen Anstieg. Dieser Anstieg ist in der Mitte des Bildes 9-10b zu sehen.

Der Komparator K stellt die Polarität der integrierten Spannung und damit auch die Polarität der Eingangsspannung fest. Nach Ablauf der Meßzeit t_1 stellt die Steuerlogik den Schalter S_1 in die Stellung 3 oder 4. Dabei legt man statt der unbekanntes Spannung U_X die Referenzspannung U_{Ref} mit umgekehrter Polarität über den Elektrometerverstärker an den Integrator, wodurch die Ausgangsspannung U_1 des Integrators mit *konstanter Änderungsrate* wieder zurückgeht.

Der Entladevorgang des Integrators dauert so lange, bis die Ausgangsspannung durch null geht und der Komparator K die Integration stoppt. Der Zähler zählt die Takte während der Entladezeit t_2 , die um so länger dauert, je höher die angelegte Meßspannung war. Die Anzahl der Meßtakte ist der unbekanntes Meßspannung genau proportional. Wegen der ansteigenden und abfallenden Spannungsrampe heißt das Prinzip auch Zweirampenverfahren (engl.: dual slope technique).

Der große Erfolg dieses Wandlerprinzips beruht auf der einfachen und preisgünstigen Herstellung der Schaltung, die heute meist als monolithische hochintegrierte CMOS-Schaltung ohne teuren Abgleich in Gebrauch ist.

Beim integrierenden AD-Wandler nach dem Zweirampenverfahren geht letztlich nur die Referenzspannung in die Messung ein; alle anderen elektrischen Daten beeinflussen das Ergebnis nicht. Die Arbeitsweise und die Besonderheiten sind in dem Blockschaltbild 9-10a und dem Impulsbild 9-10b erläutert.

6.11.2 Analog-Digital-Wandler nach dem Prinzip der sukzessiven Approximation

Bei diesem Wandlertyp wird der Digitalwert null um jeweils ein Bit, beginnend mit dem MSB, vergrößert, gleichzeitig in den zugehörigen Analogwert gewandelt und mit dem unbekanntes Analogwert verglichen. Das Ergebnis des Vergleichers nutzt man zur systematischen Annäherung der beiden Werte, die erreicht ist, wenn auch das LSB zum Vergleich herangezogen worden ist.

Für jedes Bit ist ein Vergleich und damit eine Taktperiode erforderlich. Die Wandlungszeit beträgt je nach Typ 0,5 μs bis 100 μs , die Genauigkeit 8 Bit bis 18 Bit.

Der erforderliche Aufwand, aber auch die erreichbare Geschwindigkeit ist wesentlich größer als beim integrierenden AD-Wandler; die Genauigkeit ist oft geringer. 

Bild 9-12 a zeigt das Blockschaubild dieses AD-Wandlers, Bild 9-12b das zugehörige Impulsbild.

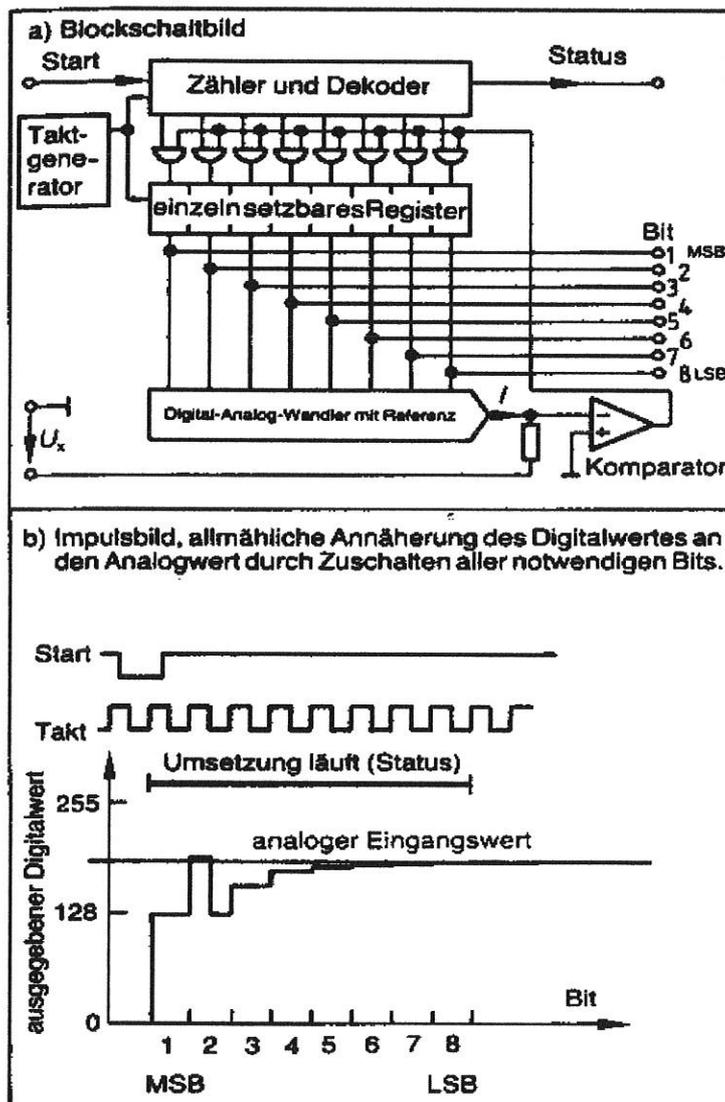


Bild 9-12. Analog-Digital-Wandler nach dem Prinzip der sukzessiven Approximation.

Die zu wandelnde Analogspannung wird am Eingang U_e angelegt. Sie muß konstant sein und darf sich während der Wandlung um weniger als ein $1/2$ LSB ändern. Die Analog-Digitalumsetzung wird mit einem Startimpuls eingeleitet. Der Zähler setzt über einen Dekoder und ein Register das MSB des angeschlossenen DA-Wandlers auf 1. Anschließend vergleicht der Komparator die unbekannte Analogspannung mit der des DA-Wandlers.

Ist die Spannung des DA-Wandlers größer als die analoge Eingangsspannung, dann nimmt der Komparator das MSB im Register wieder zurück, ist die DA-Wandlerspannung dagegen kleiner, dann bleibt das Bit stehen.

Das Flußdiagramm für die ersten drei Wägeschritte ist in Abb. 24.37 dargestellt. Man erkennt, daß in jedem Schritt entschieden wird, ob das betreffende Bit Eins oder Null ist. Die zuvor ermittelten Bits bleiben dabei unverändert.

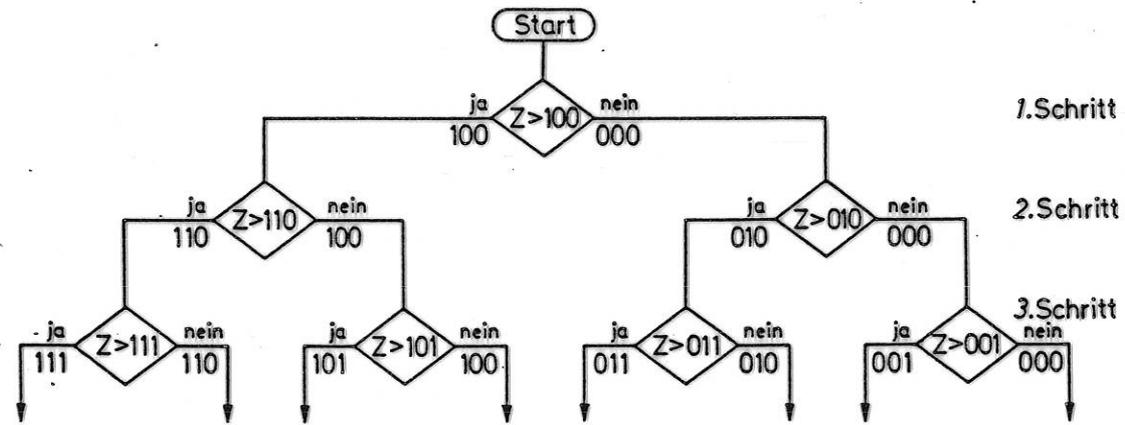


Abb. 24.37 Flußdiagramm für den Ablauf des Wägevorganges

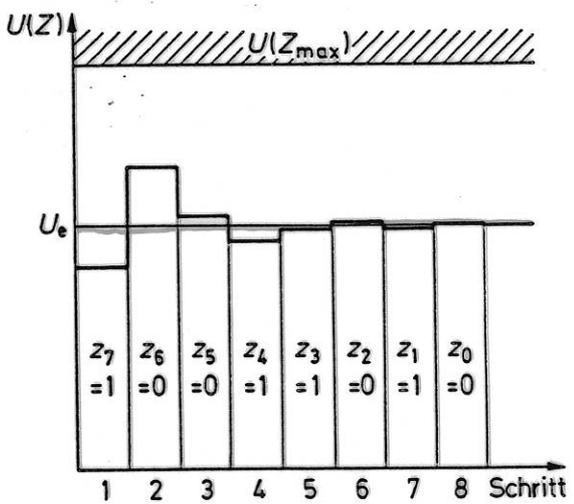


Abb. 24.38 Verlauf von $U(Z)$

D	z_7	z_6	z_5	z_4	z_3	z_2	z_1	z_0
z_7		1						1
z_6			0					0
z_5				0				0
z_4					1			1
z_3						1		1
z_2							0	0
z_1								1
z_0								

Abb. 24.39 Verlauf von Z

Abb. 24.38/39 Zeitlicher Verlauf einer AD-Umsetzung nach dem Wägevorgang

Der zeitliche Verlauf des Wägevorganges ist in Abb. 24.38 für die Spannung $U(Z)$ und in Abb. 24.39 für die Zahl Z dargestellt. Jedes Bit wird versuchsweise gesetzt. Wenn dadurch die Eingangsspannung überschritten wird, wird es gleich wieder gelöscht. Nach 8 Wägeschritten ist dann in diesem Beispiel die Umsetzung abgeschlossen.

Gesteuert wird die Umsetzung von dem SAR (Successive Approximation Register).

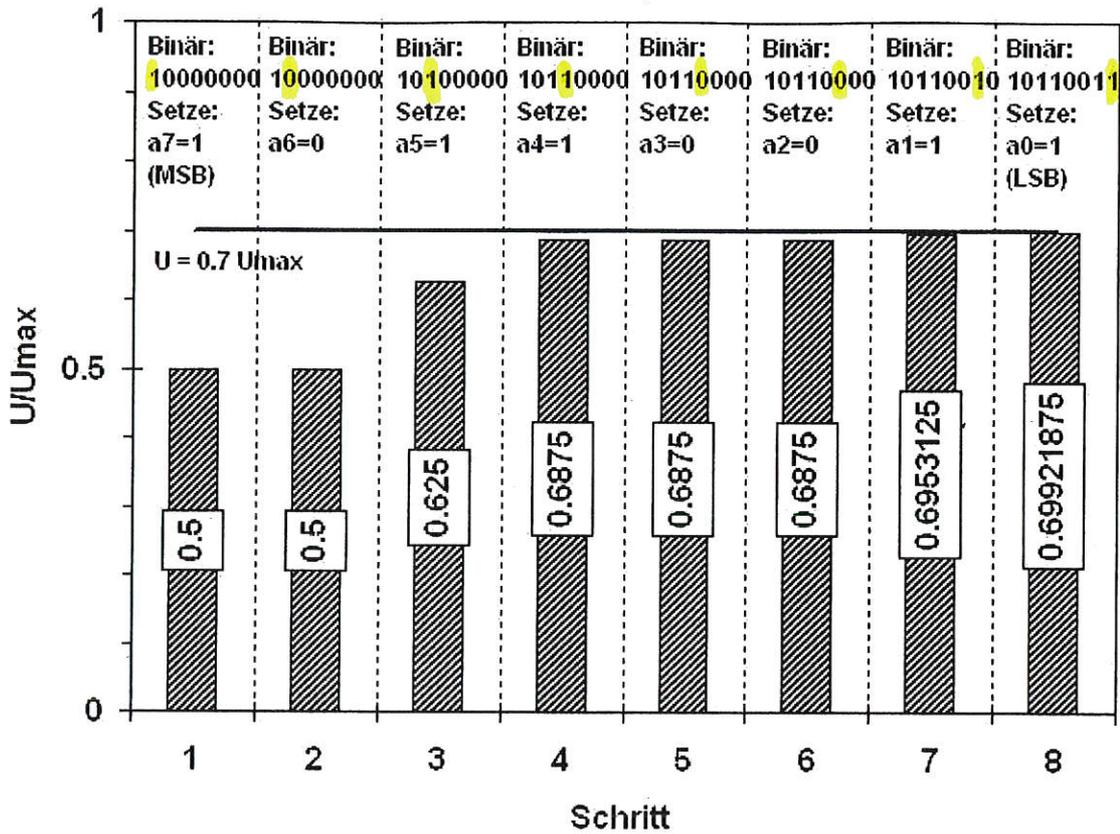


Abb.4 Verfahren der sukzessiven Approximation

Der Wandlungsvorgang beruht auf dem mathematischen (numerischen) Verfahren der sog. sukzessiven Approximation (schrittweisen Annäherung) in völliger Analogie zur Gewichtsbestimmung mit einer Balkenwaage (daher oft auch als Wägeverfahren bezeichnet). Ein Komparator vergleicht die zu wandelnde Eingangsspannung U_e mit der Ausgangsspannung U_{DA} eines DAC. Der Meß-Prozeß wird durch eine spezielle Logikschaltung -das sukzessive Approximationsregister (SAR)- gesteuert. Die Messung beginnt immer mit der Bestimmung des höchstwertigen Bits (MSB), d.h. zunächst wird mit 1/2 des Meßbereichumfangs verglichen. Bei einem Meßbereich von z.B. 0-10 V erzeugt der DAC eine Spannung 5 V im ersten Schritt, die mit der zu messenden Spannung am Komparator verglichen wird. Ist diese Spannung größer als die Vergleichsspannung am Ausgang des DAC, so wird das MSB fest auf "1" gesetzt - ansonsten auf "0". Für den nächsten Schritt wird die Schrittweite weiter halbiert (auf 1/4), erneut verglichen und das nächst niederwertige Bit entsprechend gesetzt. Dieser Vorgang wird für jedes einzelne Bit bis zum LSB wiederholt, wobei die erzeugte Spannung in immer kleineren Schritten geändert wird. Es erfolgt dabei eine schrittweise Annäherung "von unten" an den Endwert. Die Abb.4 illustriert das Verfahren an einem Beispiel: Hier ist der Fall eines ADC mit 8 Bit Auflösung angenommen, der Eingangssignale zwischen 0 und U_{max} verarbeiten kann (unipolare Betriebsart). Für jeden Einzelschritt der sukzessiven Approximation ist im Diagramm das Setzen des jeweiligen Bit (beginnend mit dem MSB) und die eingestellte Vergleichsspannung des DAC (Balken und Zahlenwert, normiert auf die Maximalspannung) dargestellt. Bezüglich der erforderlichen Referenzspannung gilt die o.a. Bemerkung. Das Fortschreiten von einer Stufe der AD-Wandlung zur nächsten wird über die Taktfrequenz gesteuert. Für jedes zu wandelnde Bit wird ein Taktzyklus benötigt, für den sample-and-hold- Vorgang noch einmal mehrere Taktzyklen. Daher wird die gesamte Wandlung stets mit einer geringeren als der Taktfrequenz vollzogen. Bisher wurde stillschweigend ideales Übertragungsverhalten bei der Wandlung angenommen. Real wird man aber mit mehreren Fehlern rechnen müssen; der unvermeidliche *Quantisierungsfehler* wurde oben schon erwähnt. Darüber hinaus treten weitere Fehler auf, die mit Abb.5 veranschaulicht werden:

Mit der nächsten Taktperiode schaltet der Zähler den Vergleich auf das nächst niedrigere Bit weiter. Der Vergleich führt zum Setzen oder Zurücksetzen des nächsten Bits. Nach jedem Vergleich schalten Zähler und Dekoder auf das nächste niedrigere Bit weiter.

Auf diese Weise wird die anfängliche Differenz zwischen dem Analogwert und dem von null ansteigenden Digitalwert immer kleiner, wobei nur jene Bits gesetzt werden, die zur Darstellung des Analogwertes erforderlich sind.

Ist das niederwertigste Bit (LSB) gesetzt, verriegelt der Wandler seinen Arbeitstakt und bleibt stehen. An der Verbindungsstelle des Registers mit dem DA-Wandler steht der fertig gewandelte Wert an. Wie im Impulsbild zu erkennen ist, führt das Bit 2 zu einem zu hohen Analogwert und wurde deshalb wieder zurückgenommen. Diese Kompensation des Analogwertes durch einen zusammengesetzten Digitalwert heißt auch *Wägeverfahren*.

Die Wandlungszeit eines AD-Wandlers setzt sich aus den Laufzeiten im Digitalteil, dem Zähler und dem Register (SAR, Successive Approximation Register), der Einschwingzeit des DA-Wandlers und des Komparators zusammen. Die Summe dieser Zeiten ist für *jedes* Bit erforderlich. Deshalb wählt man die Taktfrequenz so, daß innerhalb einer Periode ein Bit einschwingen kann. Ein Wandler mit n -Bit-Auflösung benötigt deshalb mindestens n Takte zur Umsetzung.

Das Wägeverfahren ist weit weniger fehlertolerant als das Zweirampenverfahren. In das Ergebnis gehen alle Fehler des DA-Wandlers, wie Referenzspannungsfehler, Nichtlinearitäten, Offset, Temperatur- und Verstärkungsfehler ein. Überlagerte Störungen oder Wechselspannungen können das Setzen eines Bit veranlassen, das im Meßwert nicht enthalten ist. Dieses Bit läßt sich im laufenden Umsetzvorgang nicht zurücknehmen; es verursacht einen Fehler, der erst bei der nächsten Wandlung korrigiert werden kann.

Da dieser Wandler besonders bei schnell sich ändernden Eingangsspannungen Verwendung findet, kann hier ein zusätzlicher Fehler entstehen.

Abhilfe schafft eine vorgeschaltete *Abtast- und Halteschaltung* (engl.: *sample and hold*), welche die Meßspannung abtastet, und den Augenblickswert während der Wandlung in einem Kondensator speichert und so konstant hält. *(SIEHE SEITE 6)*

AD-Wandler nach dem Verfahren der sukzessiven Approximation sind als *mittelschnelle* Wandler mit mittlerer bis hoher Genauigkeit (bis 18 Bit) in Gebrauch. Der gegenüber integrierenden Wandlern hohe Preis rechtfertigt ihren Einsatz nur bei Meßspannungen, die sich mit der Zeit schnell ändern. Ein Beispiel ist die hochpräzise Digitalisierung von Tonfrequenzen zur Speicherung auf der Compact Disc; industrielle Steuerungen und die Kommunikationstechnik sind weitere wichtige Einsatzbereiche.

Die meisten Wandler haben einen binär kodierten parallelen Ausgang. Es gibt jedoch auch AD-Wandler mit einem Schieberegister im Ausgang, deren Ergebnis sich mit einer Impulsfolge seriell ausgeben läßt.

Viele Analog-Digital-Wandler haben heute eine Mikroprozessor-kompatible Schnittstelle (Bild 9-13). Ihr *Tri-State-Ausgangsregister* ist normalerweise hochohmig und liegt direkt am Datenbus. Über Steuersignale, Write und die dekodierte Adresse des AD-Wandlers wird dieser angesprochen und schreibt sein Ergebnis direkt auf den Bus. Ist das Ausgangswort

des AD-Wandlers breiter (12 Bit) als der Datenbus (8 Bit), dann kann man die Ausgänge zusammenlegen, getrennt aktivieren und dadurch als High-Byte und Low-Byte nacheinander vom Rechner abholen lassen.

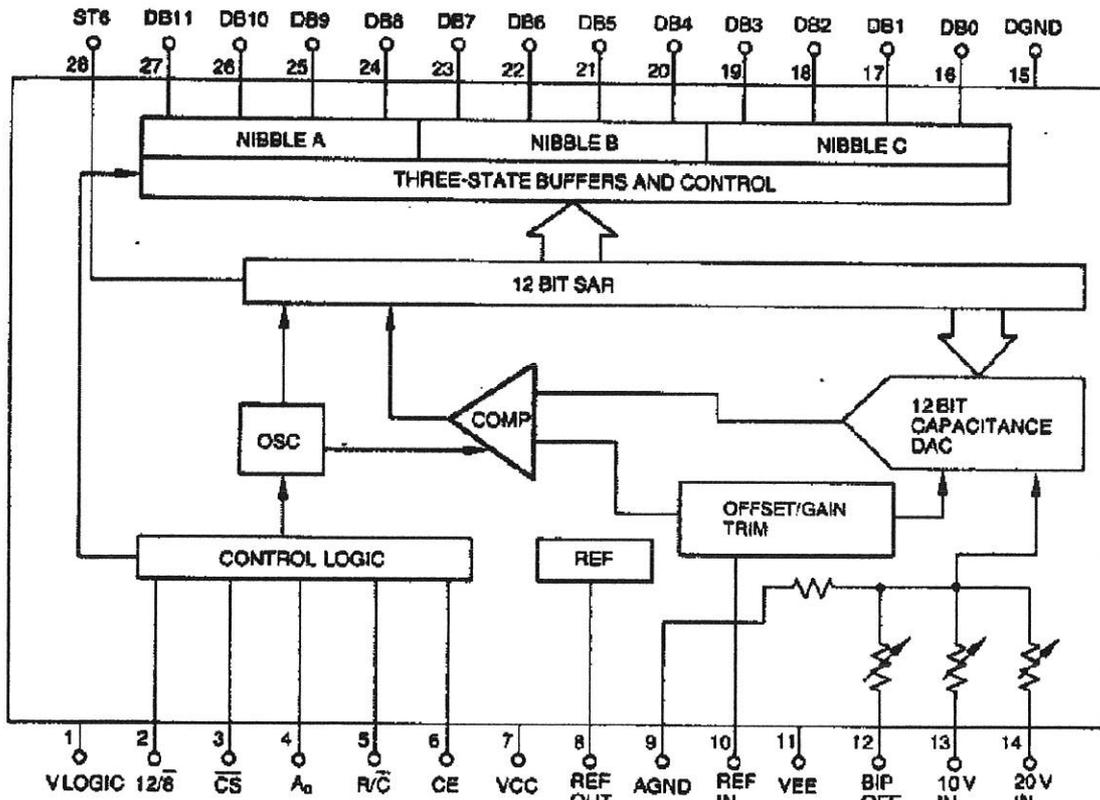


Bild 9-13. Analog-Digital-Wandler mit mikroprozessor-kompatibler Schnittstelle HS574A (Datenbus).
Werkbild: Sipex.

6.11.3 Abtast- und Halteschaltung (Sample and Hold)

Bild 9-14a verdeutlicht die Schaltung eines *Abtast- und Halteverstärkers* (engl.: *Sample and Hold Amplifier*). Während der Abtastphase ist der Schalter S geschlossen. Eine positive Eingangsspannung U_e am invertierenden Eingang des Verstärkers V_1 verursacht einen negativen Ladestrom I_L in den Knoten am Eingang des Verstärkers V_2 der über den Kondensator C, mit einem Anstieg der Ausgangsspannung U_a des Verstärkers V_2 kompensiert wird. Erreicht die Ausgangsspannung den Wert der Eingangsspannung, dann wird der Ladestrom I_L null und die Schaltung ist in Ruhe. Wird jetzt der Schalter S geöffnet, dann wirken sich weitere Änderungen der Eingangsspannung nicht mehr auf den Ausgang aus.

Solange keine Ladung aus dem Kondensator abfließt, bleibt die niederohmige Ausgangsspannung der Sample-and-Hold-Schaltung erhalten. Der Schalter ist meistens ein sehr hochohmig sperrender MOSFET: Der Verstärker V_2 hat ebenfalls einen FET-Eingang; hierdurch vergrößert sich die Entladezeitkonstante beträchtlich.

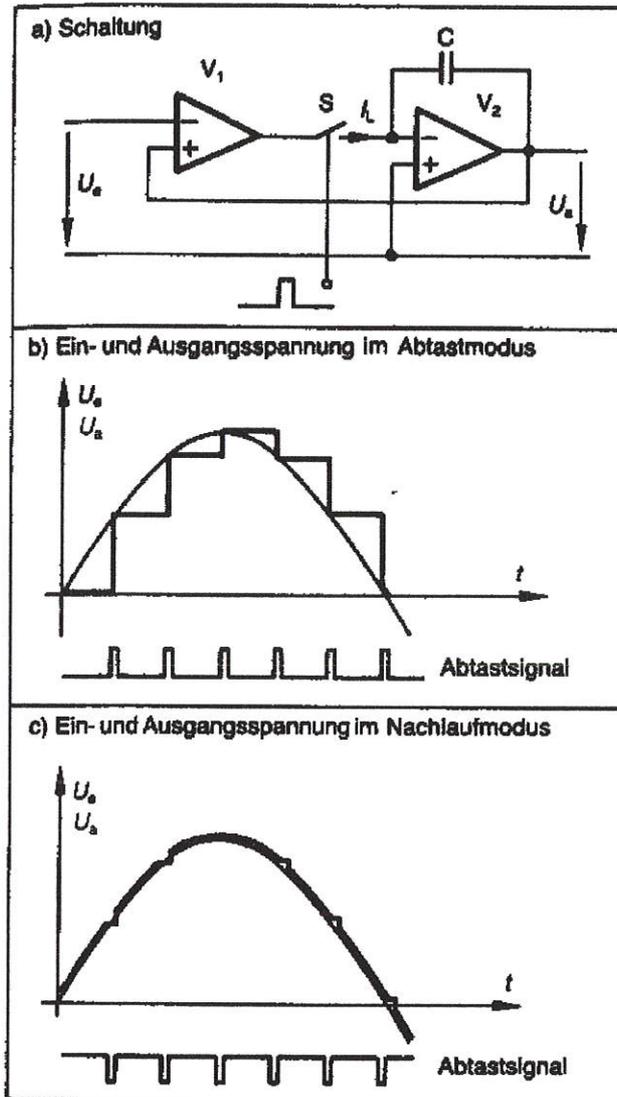


Bild 9-14. Sample-and-Hold-Schaltung.

In Bild 9-14b wird das Eingangssignal nur kurz abgetastet und danach bis zum nächsten Abtastvorgang gehalten. In Bild 9-14c folgt der Abtastkreis der Eingangsspannung dauernd und wird nur kurz während der Wandlungsphase unterbrochen. Durch das ständige Nachlaufen ist die Schaltung auf den jeweiligen

Augenblickswert eingeschwungen und läßt sich jederzeit ohne Wartezeit halten und abfragen.

Wird eine Wechselspannung abgetastet, dann muß die Abtastfrequenz nach Nyquist (H. NyQUIST, von 1889 bis 1963) mindestens doppelt so hoch wie die höchste zu erfassende Frequenz sein.

Dieses Verfahren heißt deshalb auch *Nyquist-Sampling*. Der unvermeidbare Fehler

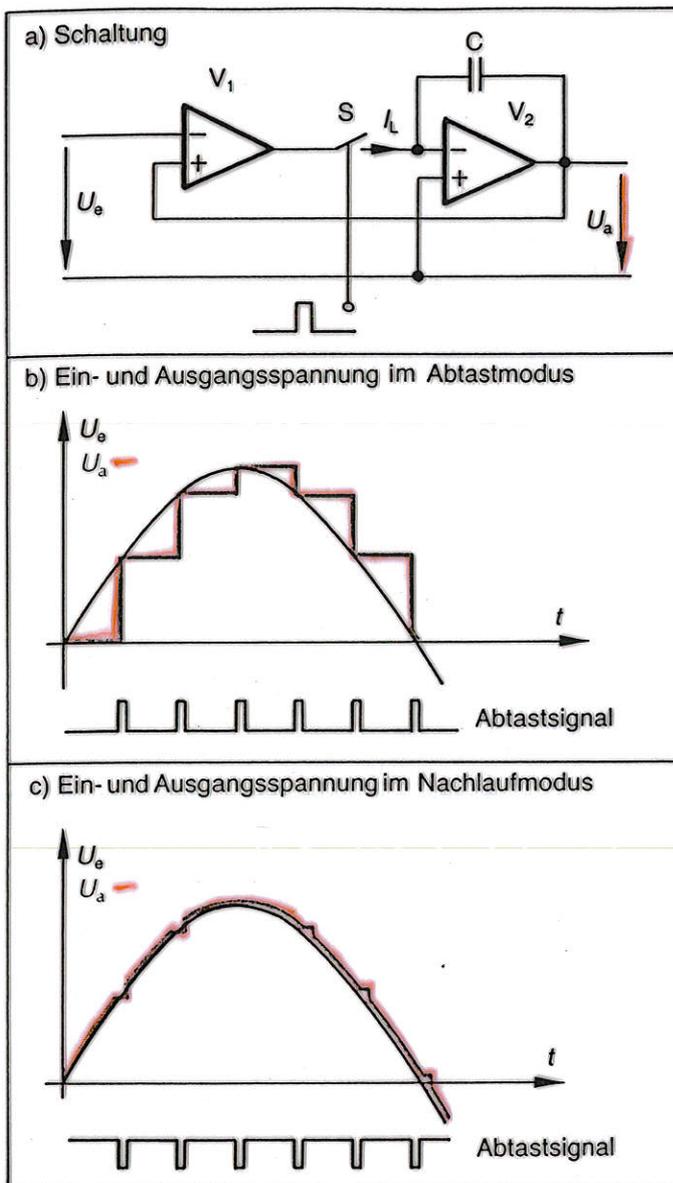


Bild 9-14. Sample-and-Hold-Schaltung.

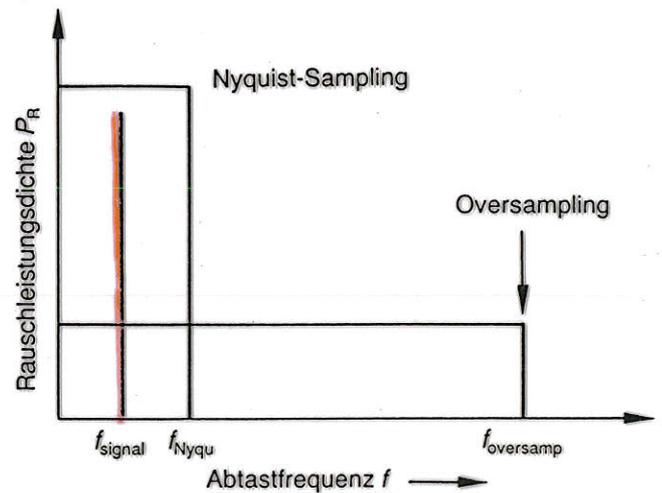


Bild 9-15. Spektrum des Quantisierungsrauschens bei verschiedenen Abtastfrequenzen.

WIRD EINE WECHSELSPANNUNG ABGETASTET, DANN MUSS DIE ABTASTFREQUENZ NACH NYQUIST (H. NYQUIST, VON 1889 BIS 1962) MINDESTENS DOPELT SO HOCH WIE DIE HÖCHSTE ZU ERFASSENDE FREQUENZ SEIN.

zwischen dem analogen Eingangssignal und dem *quantisierten* digitalen Ausgangssignal äußert sich als breitbandiges *Quantisierungsrauschen*, das mit zunehmender Auflösung des AD-Wandlers abnimmt. Das Abtasten mit einem Vielfachen der Nyquistfrequenz wird als *Oversampling* bezeichnet; es vergrößert die Bandbreite des Rauschens, verringert aber dessen Pegel.

Das nachfolgende Tiefpaßfilter sperrt den größten Teil dieses breitbandigen Rauschens. Bild 9-15 zeigt das Rauschspektrum bei verschiedenen Abtastfrequenzen.

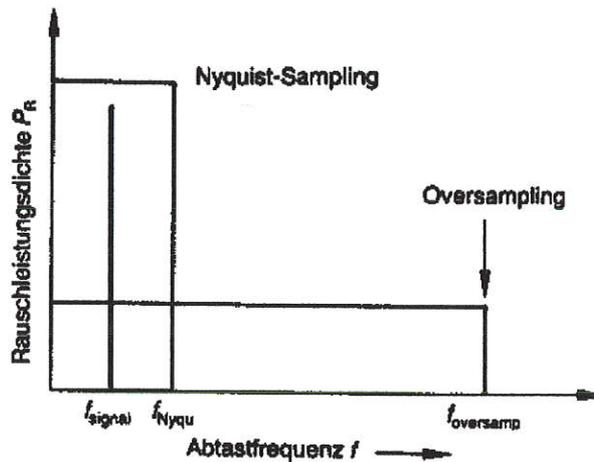


Bild 9-15. Spektrum des Quantisierungsrauschens bei verschiedenen Abtastfrequenzen.

DIE VON EINEM WIDERSTAND GELIEFERTE RAUSCHLEISTUNG STELLT SICH WIE FOLGT DAR :

NACH NYQUIST: $P_R = k \cdot T \cdot B$

↑ BANDBREITE IN HZ
 ↑ ABSOLUTE TEMPERATUR IN K
 ↑ BOLZMANN-KONSTANTE $1,38 \cdot 10^{-23} \text{ Ws/K}$

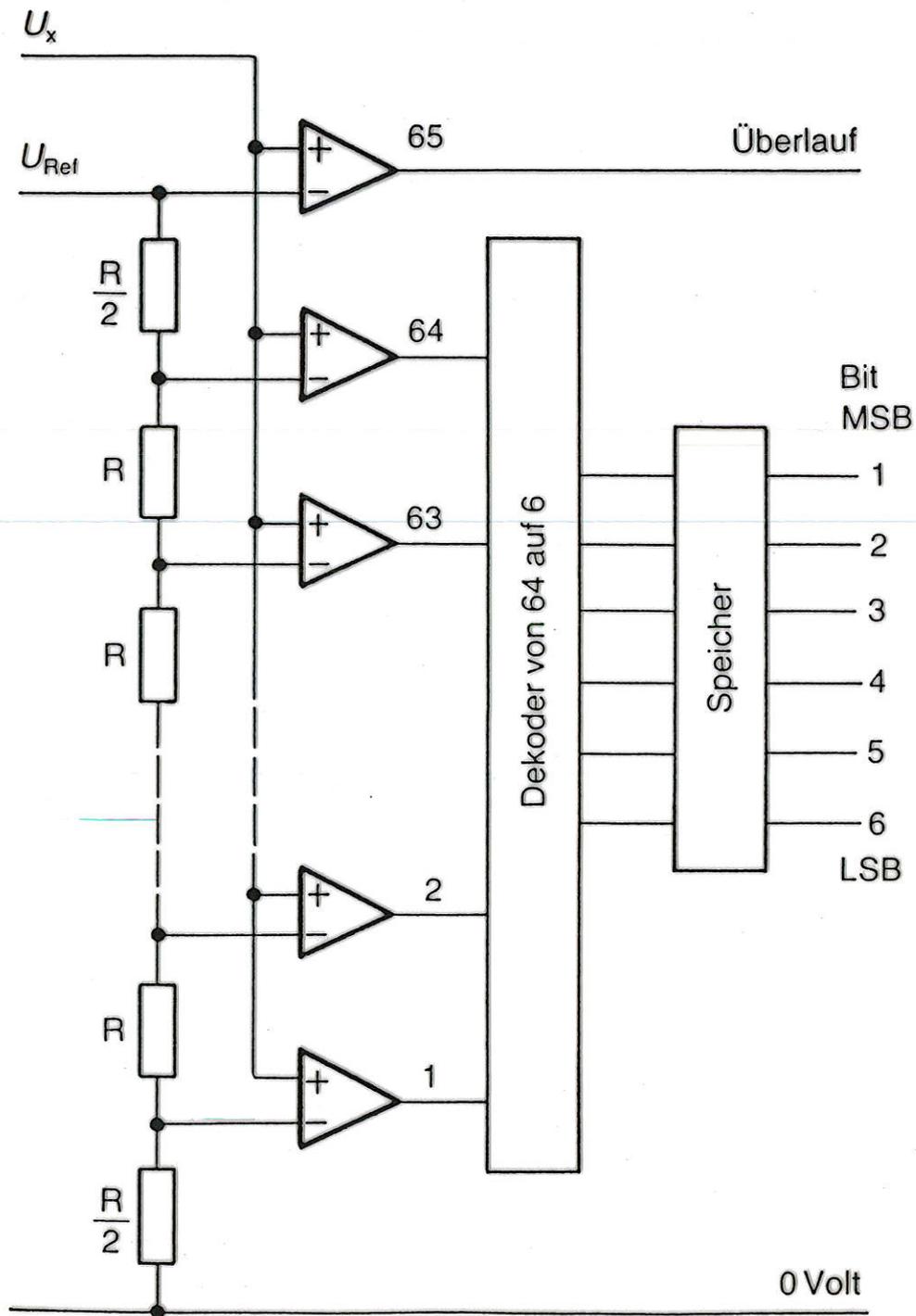


Bild 9-16. Parallel-AD-Wandler (flash converter).

MOMENTANWERTUMSETZER
(WORD AT TIME)

6.11.4 Parallel-Analog-Digital-Wandler

Die bisher beschriebenen Analog-Digital-Wandler haben den Analogwert durch kontinuierliches Hochzählen oder systematisches Suchen des zugehörigen Digitalwertes ermittelt. Hierzu waren mehrere nacheinander ablaufende Vorgänge erforderlich, die Zeit kosteten. Beim *Parallel-Wandler* (engl.: *flash converter*) wird der richtige Digitalwert innerhalb einer Taktperiode ermittelt und parallel ausgegeben. Bild 9-16 zeigt das Blockschaltbild eines n -Bit-Parallel-AD-Wandlers.

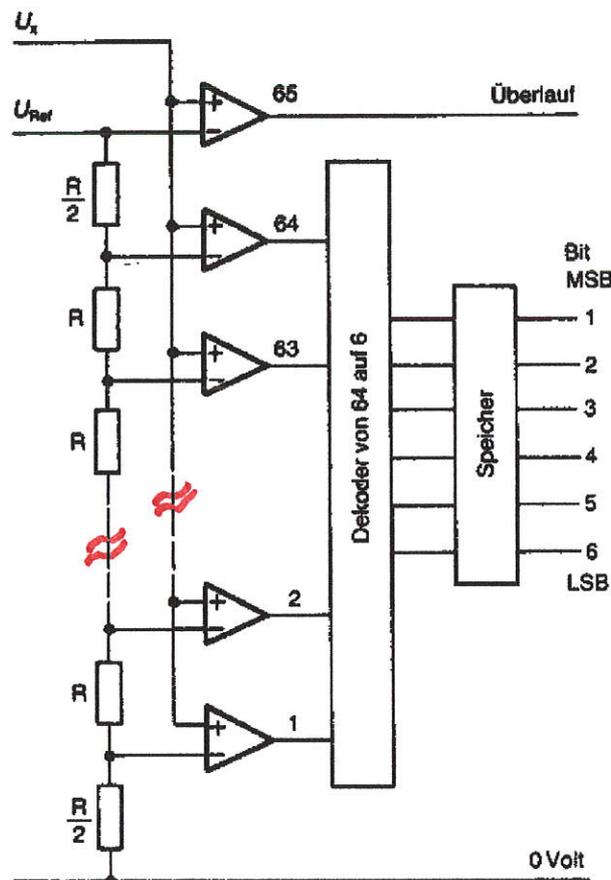


Bild 9-16. Parallel-AD-Wandler (*flash converter*).

Beim n -Bit breiten AD-Wandler wird die Referenzspannung über einen Spannungsteiler aus $2^n - 1$ gleichen Widerständen R und einem oberen und unteren Widerstand $R/2$ geteilt. Die abgreifbaren Spannungen liegen jeweils in der Mitte der in 2^n gleiche Bereiche geteilten Referenzspannung.

2ⁿ Komparatoren vergleichen die unbekannte Eingangsspannung gleichzeitig mit den 2ⁿ möglichen Schwellen.

Alle Komparatoren, deren Referenzspannung kleiner als die Eingangsspannung ist geben am Ausgang eine logische „1“ ab, die Komparatoren mit höherer Referenzspannung geben eine logische „0“ ab.

Der abgegebene Code heißt *Thermometer-Code* (engl: *bar-code*). Der nachfolgende Dekoder setzt die 2ⁿ-1-Eingänge parallel und nicht getaktet in einen n-Bit-Binärkode um. Setzt man zuerst in einen einschrittigen Code, beispielsweise den Gray-Code (Abschn. 11.2.1), und danach in den üblichen Binär-Code um, dann bleiben mögliche Fehler durch überlagerte Störspannungen während der Wandlung auf ein LSB beschränkt.

Die sehr kurze Wandlungszeit zwischen 5 ns und 100 ns erfordern einen hohen Aufwand gemessen an den bisher vorgestellten Verfahren und ergibt nur mäßige Genauigkeit. Ein 6-Bit-Wandler hat einen Spannungsteiler aus 65 hochgenauen Widerständen, 64 Komparatoren und einen Dekoder mit 64 Eingängen.

Ein 8-Bit-Wandler benötigt einen Teiler mit 256 Ausgängen, 256 parallel betriebene Komparatoren und einen entsprechend großen Dekoder. Die Verlustleistung kann mehrere Watt betragen und muß über das Keramikgehäuse der integrierten Schaltung abgeführt werden.

Der Aufwand und die verfügbare Technologie begrenzen die erreichbare Genauigkeit und Schnelligkeit. Dieses Verfahren befindet sich in intensiver Entwicklung, so daß weitere Verbesserungen zu erwarten sind.

Mit Parallel-Wandlern digitalisiert man heute Meßwerte, Video- und Radardaten sowie zahlreiche andere mit großer Bandbreite anfallende Analogdaten, um sie ohne Genauigkeitsverlust zu speichern und in digitalen Rechnern zu verarbeiten. Da einerseits die 8-Bit-Auflösung für viele Anwendungen nicht ausreicht, andererseits aber jedes weitere Bit Auflösung den Aufwand verdoppelt, wurden andere Wege zur Verbesserung gesucht.

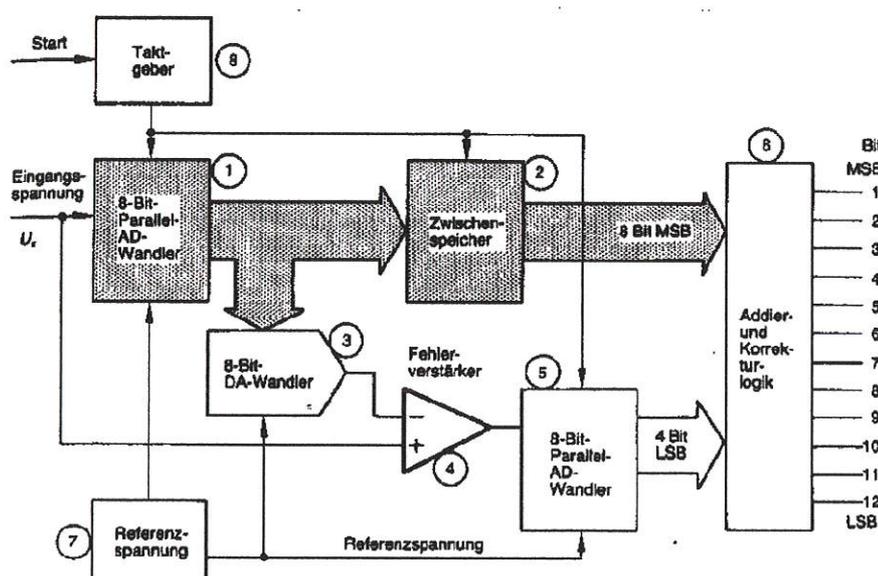


Bild 9-17. Blockschaftbild eines 12-Bit-Zwei-Stufen-Parallel-AD-Umsetzers.

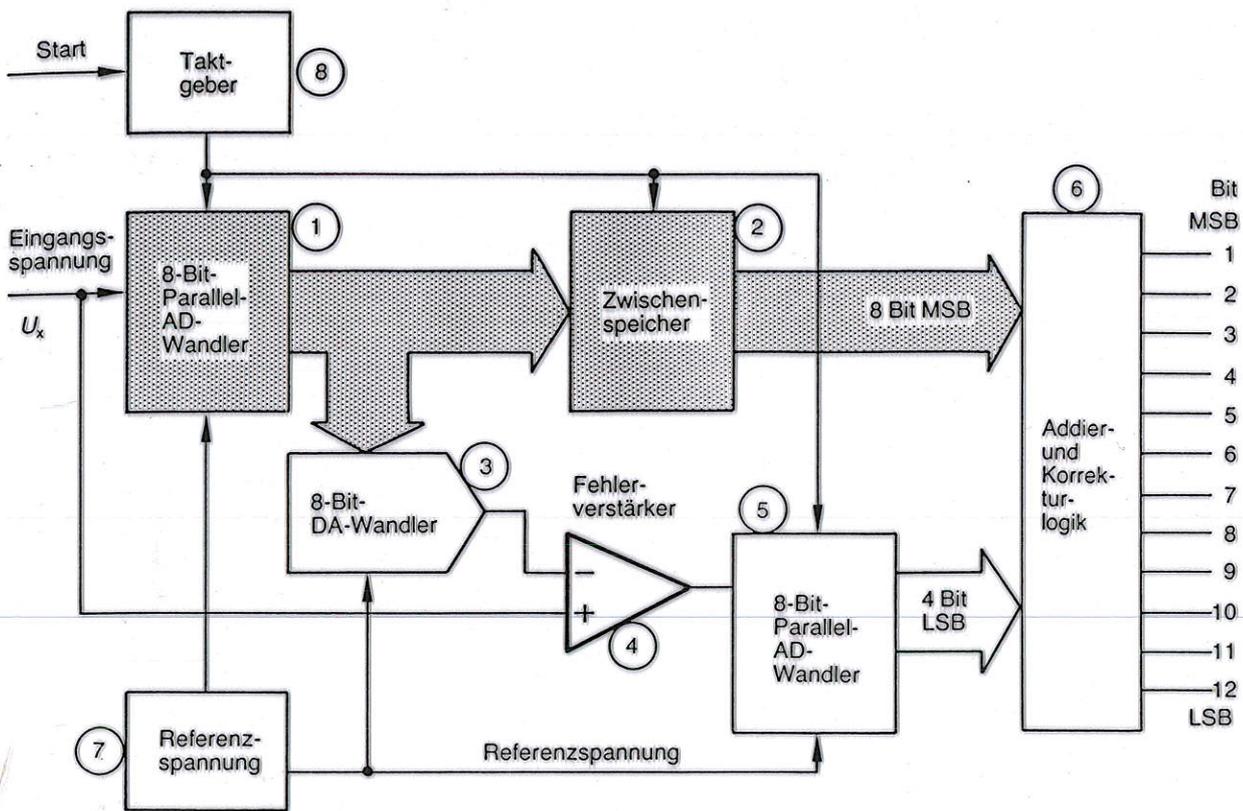


Bild 9-17. Blockschaltbild eines 12-Bit-Zwei-Stufen-Parallel-AD-Umsetzers.

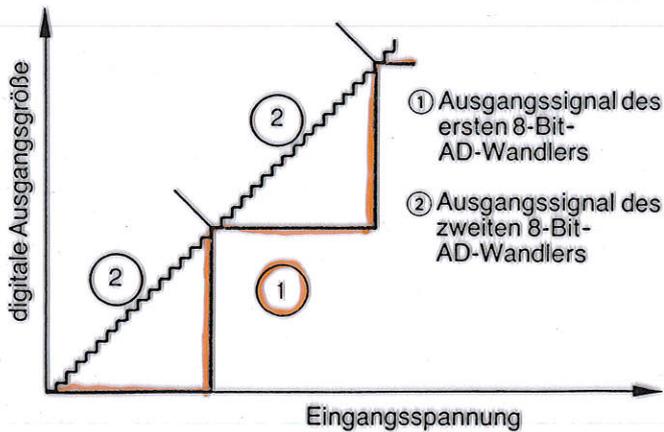


Bild 9-18. Zusammengesetzte Arbeitsbereiche beider Parallelwandler beim Zwei-Stufen-Parallel-AD-Umsetzer.

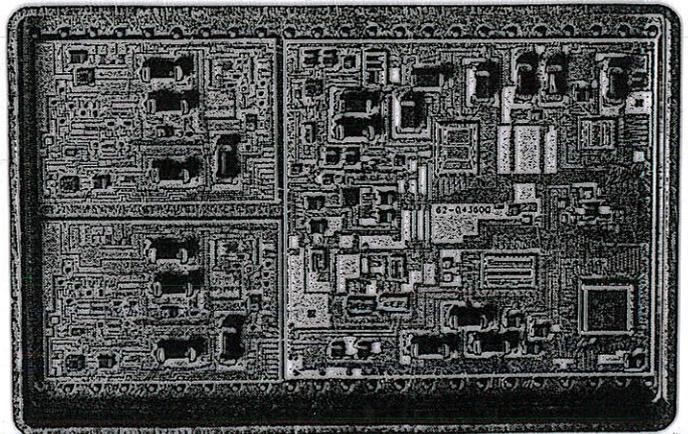


Bild 9-19. Schneller Zweistufen-Parallel-Analog-Digital-Wandler SP9560; 12-Bit, 10 MSPS (leicht vergr.). Werkfoto: Sipex.

Bild 9-17 zeigt das Blockschaltbild eines 12-Bit-AD-Wandlers mit 10-MHz-Abtastrate. Diese Geschwindigkeit ist mit dem Verfahren der sukzessiven Approximation nicht zu verwirklichen. Für einen Parallel-AD-Wandler würde man 4095 Komparatoren benötigen, deren Verlust-Wärme nur unter großen Schwierigkeiten abzuführen wäre.

Der Wandler arbeitet deshalb in zwei Stufen. Der 8-Bit-Parallelwandler (1) setzt die analoge Eingangsspannung in den ersten Digitalwert um. Der Zwischenspeicher (Latch) (2) behält diesen Digitalwert vorläufig. Der 8-Bit-DA-Wandler (3) wandelt ihn wieder in den Analogbereich zurück. Da der Parallelwandler (1) nicht rundet, sondern ein Bit erst dann setzt, wenn die entsprechende Analogspannung auch tatsächlich ansteht, ist die zurückgewandelte Analogspannung aus (3) im allgemeinen kleiner als die Eingangsspannung; denn hier fehlen die letzten 4 Bit.

Der Fehlerverstärker (4) verstärkt diese Differenz, die ein zweiter Parallel-Wandler (5) in den entsprechenden Digitalwert umsetzt. Eine Addier- und Korrekturlogik addiert beide Digitalwerte und gibt das Ergebnis als binär kodiertes Digitalwort aus.

Das Wandlerbauteil enthält noch eine eigene Referenzspannung und einen Taktgeber, der die beiden Parallel-Wandler und den Speicher zur richtigen Zeit aktiviert. Bild 9-18 zeigt die Arbeitsbereiche beider Parallelwandler.

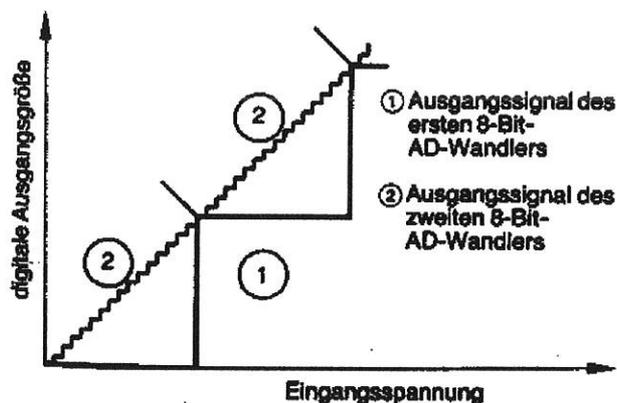


Bild 9-18. *Zusammengesetzte Arbeitsbereiche beider Parallelwandler beim Zwei-Stufen-Parallel-AD-Umsetzer.*

Die Herstellung eines zweistufigen Parallel-AD-Wandlers ist nicht einfach. Die Unterteilung der 256 Stufen des ersten 8-Bit-Parallelwandlers in jeweils weitere 16 Stufen ist nur dann sinnvoll, wenn der erste 8-Bit-Parallelwandler und der 8-Bit-DA-Wandler auf 12 Bit *genau* sind. Das setzt einen sehr genauen Spannungsteiler und Komparatoren, mit kleiner Offsetspannung voraus.

Bei dem vorgestellten 1 MHz-Wandler müssen drei Vorgänge innerhalb 100 ns ablaufen: die erste 8-Bit-AD-Wandlung, die 8-Bit-DA-Wandlung und die zweite AD-Wandlung der verbliebenen Differenz mit 4 Bit Genauigkeit.

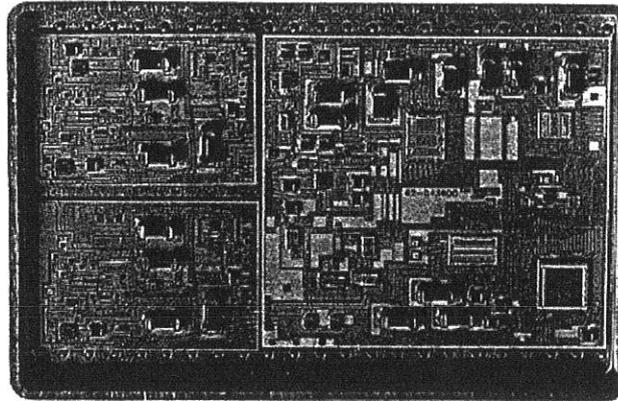


Bild 9-19. Schneller Zweistufen-Parallel-Analog-Digital-Wandler SP9560; 12-Bit, 10 MSPS (leicht vergr.).
Werkfoto: Sipex.

Bild 9-19 verdeutlicht den als Hybridschaltung realisierten inneren Aufbau eines Zweistufenwandlers mit 12 Bit Genauigkeit und 10-MHz-Abtastrate.

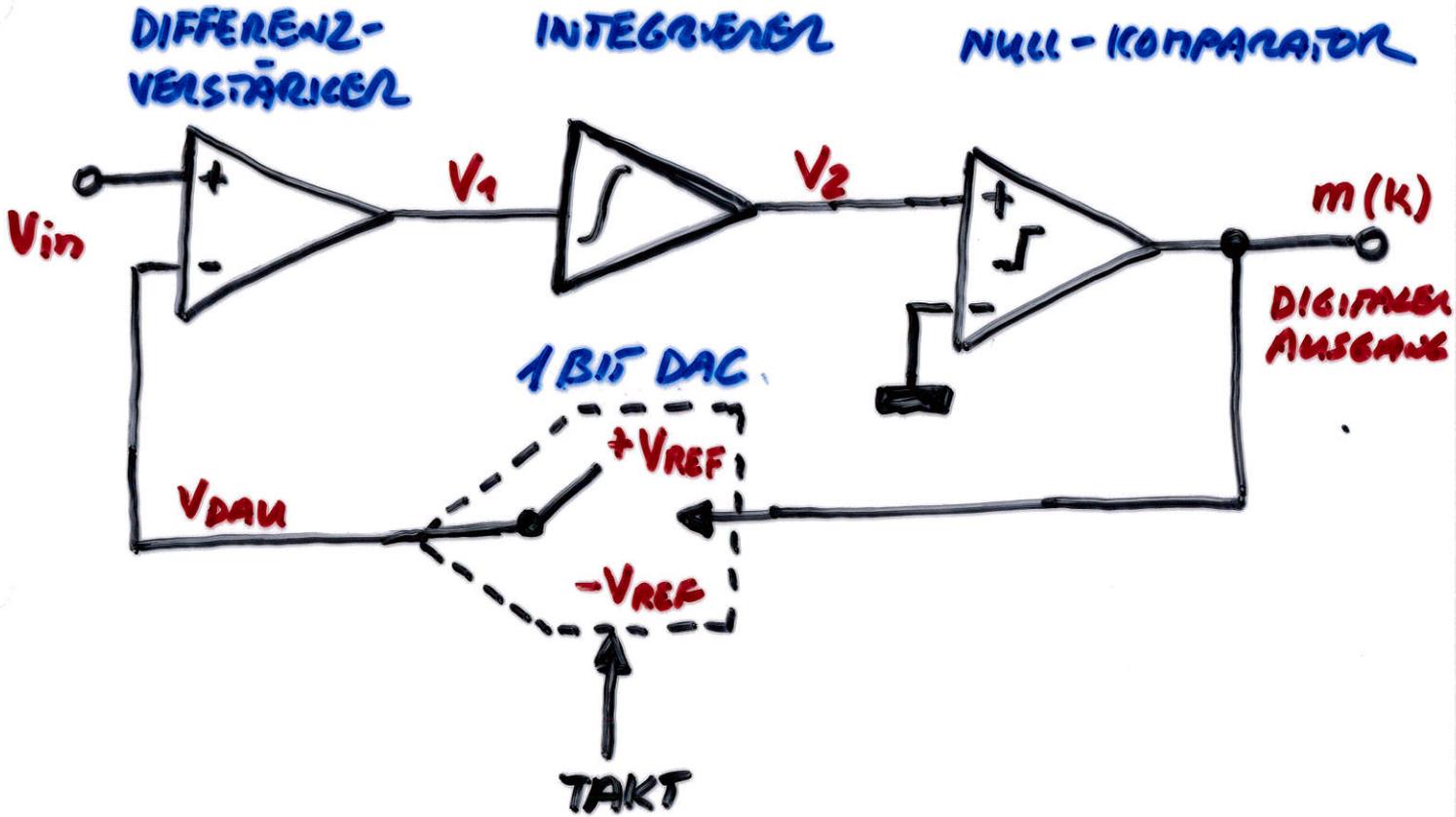
Die Hersteller gehen beim Bau schneller AD-Wandler unterschiedliche Wege. Es gibt 10-Bit-Wandler, die zuerst 7 Bit und danach weitere 3 Bit umsetzen. Andere haben Komparatoren mit Analogausgängen, wodurch ein weiteres echtes Bit durch Interpolation gewonnen. Mit diesem Verfahren erreicht man heute 10 Bit Auflösung und 75 MHz Umsetzrate = 75 MSPS (Mega Samples Per Second).

Die technische Entwicklung ist im Fluß; der neueste Stand ist zweckmäßigerweise den Datenbüchern der Hersteller zu entnehmen. Beim Parallel-AD-Wandler gibt die digitale Zahl am Ausgang das Verhältnis zwischen der Eingangs- und der Referenzspannung an. Die Referenzspannung ist im Prinzip frei wählbar. Der vom Hersteller empfohlene Wert sollte trotzdem eingehalten werden; denn eine kleine Referenzspannung führt auch zu kleineren Unterschieden an den Komparatoren und vergrößert den relativen Offsetfehler. Eine zu große Referenzspannung führt zu höherer Verlustleistung im meist niederohmigen Spannungsteiler und kann die zulässige Eingangsspannung der Komparatoren überschreiten.

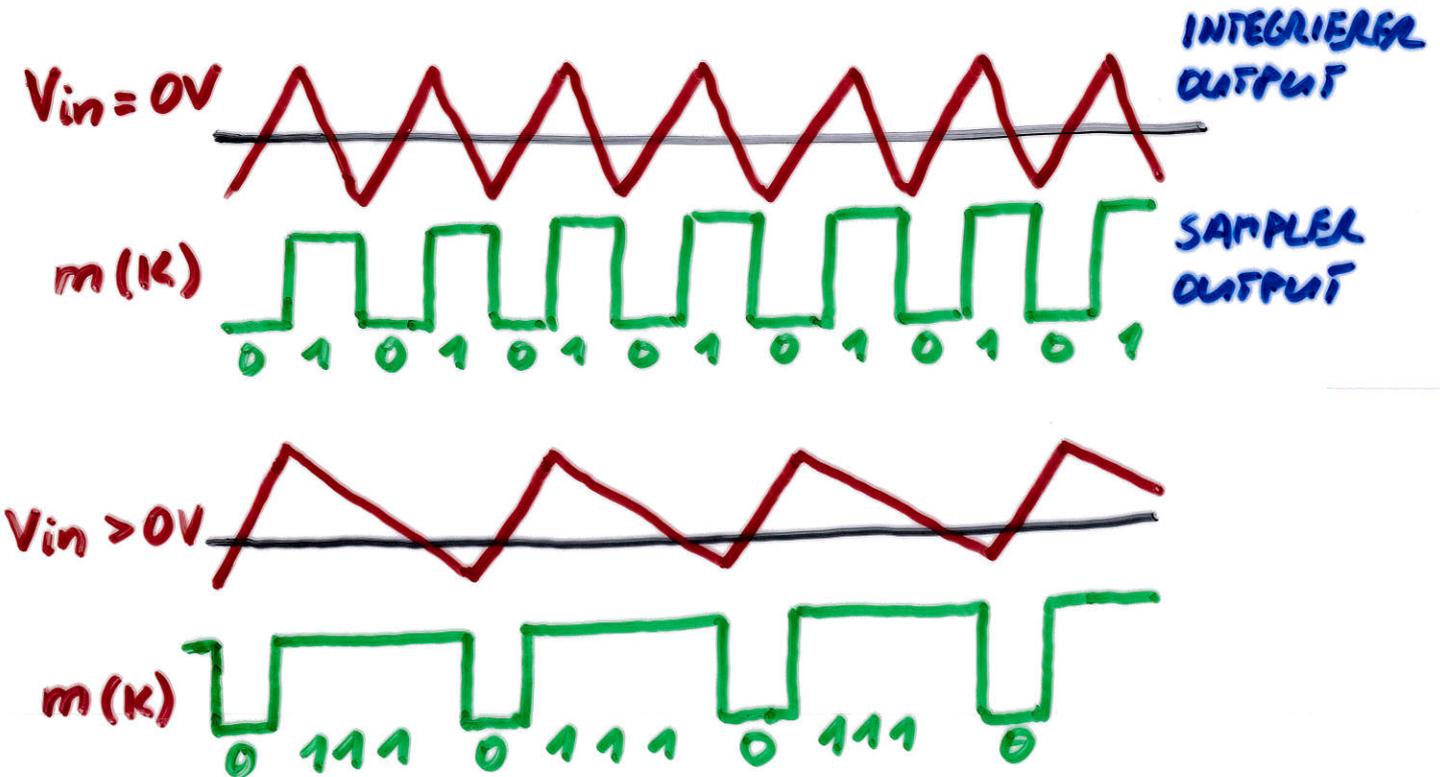
AD- und DA-Wandler sind die Schnittstelle zwischen der fein auflösenden und empfindlichen Analogseite und der störfesten aber doch leicht störenden Digitalseite.

Wenn die von der Digital- zur Analogseite gekoppelten Störungen 1/2 LSB überschreiten, kann die meist teuer erkaufte Genauigkeit des Wandlers nicht mehr ganz genutzt werden. Deshalb müssen Analog- und Digitalseite sorgfältig voneinander entkoppelt sein: gemeinsame Masseleitungen, deren Spannungsabfall vom Digitalsignal in den Analogkreis gelangt, sind zu vermeiden; ebenso müssen die Stromversorgungen von Analog- und Digitalteil *getrennt* zugeführt und gesiebt werden. Getrennte Anschlüsse am Wandler erleichtern diese Aufgabe. Wandler mit einer Auflösung von 12 Bit und mehr sind deshalb

DER SIGMA-DELTA-ADU $[\Sigma-\Delta]$



○ BEIM SIGMA-DELTA-VERFAHREN WIRD DIE DIFFERENZ DES EINGANGSSIGNALS ZUR AUSGANGSSPANNUNG ($V_{in} - +V_{REF}$) VERSTÄRKT.



SIGNALE AM INTEGRIERER UND KOMPARATOR BEI KONSTANTER EINGANGSSPANNUNG (V_{in})